Práctica 7: Convertidores D/A

Objetivo: Análisis de los convertidores D/A del tipo R-2R y de algunas aplicaciones.

1. Introducción

Un convertidor D/A, o simplemente DAC, es un circuito que entrega a su salida una señal analógica proporcional a la información digital aplicada a su entrada. La señal analógica puede aparecer en forma de tensión o de corriente.

Existen básicamente dos tipos de DAC: los de conversión directa y los de conversión indirecta. En esta práctica nos centraremos en el análisis de convertidores de conversión directa.

Los elementos básicos de un DAC de conversión directa son (Figura1):

- Un conjunto de conmutadores electrónicos.
- Una red de resistencias.
- Una fuente de referencia estable (tensión o corriente).

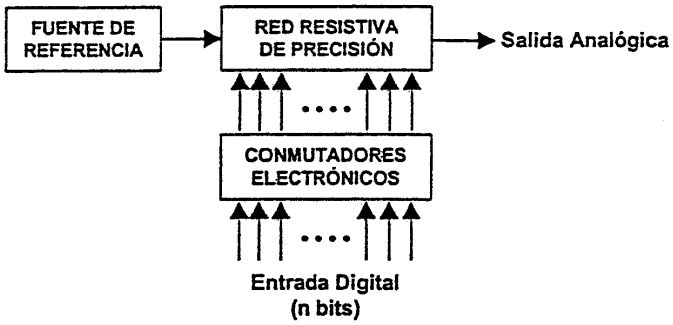


Figura 1. Elementos básicos de un convertidor A/D.

Desde el punto de vista de la red empleada, los DACs pueden ser de dos tipos: los que constan de una red de resistencias ponderadas según el peso binario de cada bit de entrada y un amplificador sumador, y los que utilizan una red en escalera tipo R-2R.

Aunque, en principio, el método más simple para realizar un DAC es el de las resistencias ponderadas, este tipo de convertidor tiene el inconveniente de que necesita resistencias precisas dentro de un margen amplio de valores (ponderado), lo

cual resulta difícil de obtener sobre todo en la realización como circuito integrado. Además, a medida que aumenta la resolución del convertidor (el número de bits), la gama de valores de resistencias que se necesita es mayor.

Por los inconvenientes citados, el sistema empleado con más frecuencia en los convertidores D/A está basado en una red en escalera que utiliza sólo resistencias de valor R y 2R. La figura 2 muestra el esquema básico de una red de este tipo. Una de sus características destacables es que, con independencia del número de etapas de las misma, la resistencia de salida (mirando hacia la izquierda en la figura) es siempre igual a R.

La tensión de salida producida por la red puede obtenerse, aplicando el principio de superposición, como la suma de los efectos de cada bit actuando separadamente. La manera más fácil de encontrar el efecto que produce cada bit sobre la salida es obteniendo su equivalente Thévenin. Para ello todos los bits, excepto el que se considera, se suponen en estado cero lógico.

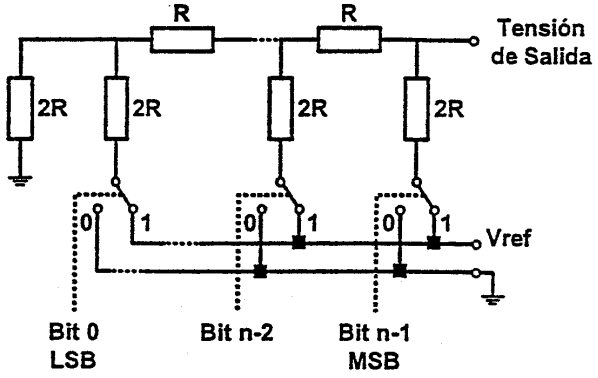


Figura 2. Red en escalera R-2R de un DAC genérico (n bits)

En el caso general de una red R-2R con *n* etapas utilizada para un DAC de *n* bits, la expresión para la tensión de salida (en circuito abierto) es:

$$V_{out} = V_{ref}\left[\frac{B_{n-1}}{2} + \frac{B_{n-2}}{4} + \frac{B_{n-3}}{8} + \ldots + \frac{B_0}{2^n}\right]$$

Donde:B0 → Bit menos significativo (LSB)

Bn-1→ Bit más significativo (MSB)

n→Número de bits de la entrada

Vref→Tensión de referencia estable

Es importante darse cuenta que, cuando la salida de la red no se encuentra en circuito abierto, cualquier cambio en la carga influencia inevitablemente la señal analógica que se obtiene. Para evitar la influencia de la carga sobre la tensión de salida, se puede utilizar un amplificador operacional en montaje seguidor, que se caracteriza por una elevada impedancia de entrada y una baja impedancia de salida.

Las variables binarias a convertir no se aplican directamente, sino que controlan un conmutador electrónico que conecta la entrada correspondiente a 0V o a Vref, según el bit se encuentre en estado 0 ó 1 lógicos. Ello se debe a que los niveles del 0 y del 1 pueden variar entre unos ciertos límites y a que, en general, las salidas de los circuitos digitales no se comportan como fuentes de tensión ideales.

2. Desarrollo

2.1 Convertidor D/A del tipo R-2R realizado con componentes discretos

El circuito de la figura 3 corresponde aun DAC de tres bits con red R-2R en escalera realizado con componentes discretos. En él la función de los conmutadores electrónicos la realiza un circuito integrado CMOS del tipo CD4053, que consta de tres multiplexores analógicos de dos canales (Ver las hojas de caracterisucas en el Anexo C).

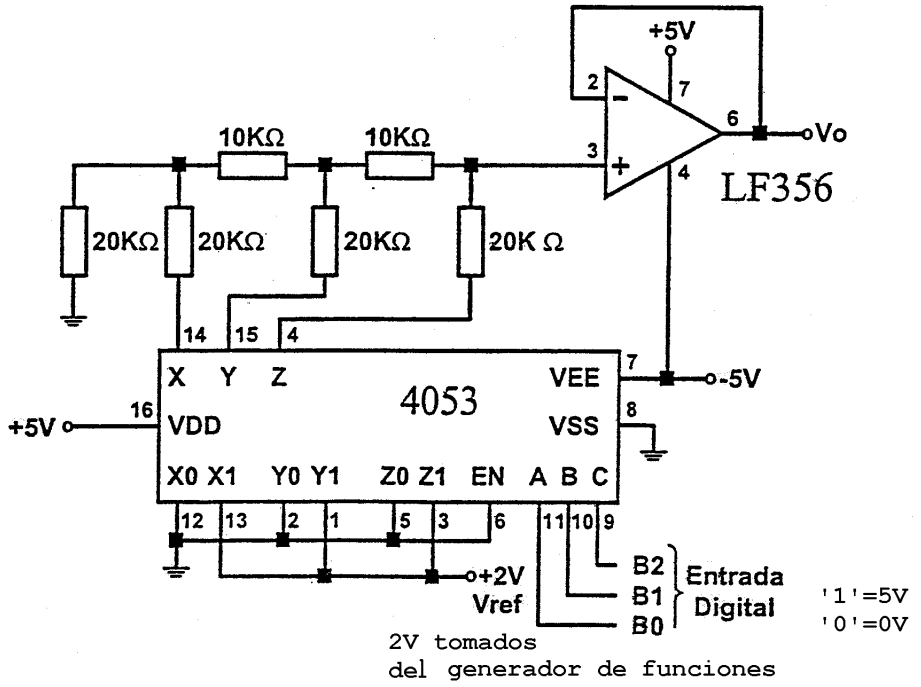


Figura 3. Esquema del montaje DAC que se propone.

a) Una de las características más importantes de un DAC es la resolución. Determinar la resolución del DAC de la figura 3, teniendo en cuenta que ésta se define como el cambio incremental más pequeño de la variable analógica de salida y viene dada por la relación:

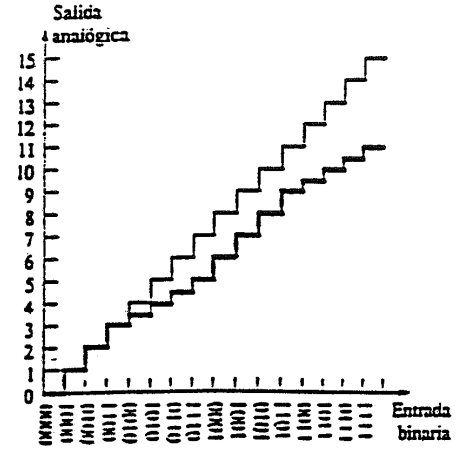
$$\text{Resolución} = \text{valor del LSB} = \frac{V_{ref}}{2^n}$$

Efectuar el montaje del circuito y aplicar a la entrada una secuencia binaria de 3 bits que abarque el rango completo de valores desde 0 (000) hasta 2^n-1 (111), en orden ascendente. Medir con el multímetro la tensión de salida correspondiente a cada combinación binaria y elaborar con ambos la Tabla 1, que refleja la relación entrada digital – salida analógica. Representar a partir de los resultados obtenidos la función de transferencia del convertidor.

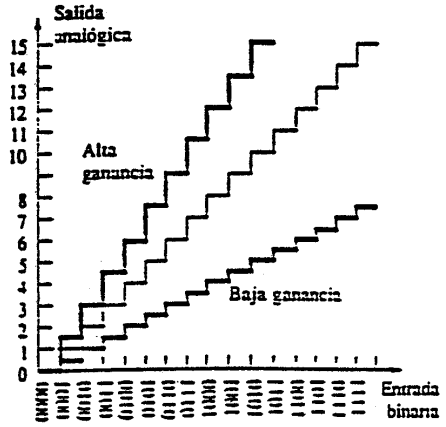
COMBINACIÓN DE ENTRADA	TENSIÓN DE SALIDA
000	
001	
010	
011	
100	
101	
110	
111	

b) En el convertidor propuesto, la salida sólo puede tomar valores positivos (salida unipolar). ¿Qué modificaciones serían necesarias en el mismo para que la salida pueda tomar valores positivos y/o negativos (salida bipolar).

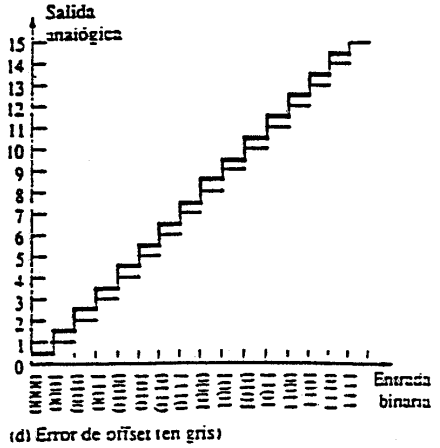
c) En la práctica los convertidores D/A presentan funciones de transferencia que se alejan de lo ideal como consecuencia de la imperfección de los componentes utilizados en su diseño. Los tres parámetros básicos que definen las diferencias entre el comportamiento real de un DAC y el ideal son: el error de linealidad, el error de ganancia y el error de asimetría (offset). En la figura 4 se muestran diversas funciones de transferencia de un DAC genérico en las que se pueden apreciar estos tres tipos de errores en la conversión D/A. Teniendo en cuenta su significado, determinar cuál o cuáles presenta el convertidor montado y justificar a qué pueden deberse.



(b) No linealidad diferencial (en gris)



(c) Alta y baja ganancia (en gris)



(d) Error de offset (en gris)

Figura 4. Ejemplo de errores de linealidad, ganancia y asimetría (offset) en un DAC.

2.2 Aplicaciones de los convertidores D/A

Hasta este momento hemos podido comprobar el funcionamiento de un DAC del tipo R-2R realizado con componentes discretos. A continuación analizaremos, a modo de ejemplo, tres aplicaciones prácticas de los convertidores D/A amplificador de ganancia controlada digitalmente, atenuador controlado digitalmente y DAC de salida unipolar y entrada digital en paralelo (útil, por ejemplo, como tarjeta de sonido básica para un PC).

Para facilitar el montaje de las diferentes aplicaciones se dispone de una **placa configurable (Anexo B)** que utiliza un convertidor D/A de 8 bits integrado, denominado AD7523. Dicho convertidor es del tipo R-2R, cuyo principio de funcionamiento hemos analizado en la primera parte de esta práctica. El circuito interno y la disposición de terminales del integrado se muestran en las hojas características incluidas en el Anexo C.

2.2.1 Amplificador de ganancia controlada digitalmente

El circuito de la figura 5 representa un amplificador de ganancia controlada digitalmente. En esta configuración el DAC se conecta en el lazo de realimentación de un operacional y la señal de salida viene dada por la expresión:

$$Vo = \frac{-Vi}{\frac{Bit1}{2} + \frac{Bit2}{4} + \ldots + \frac{Bit8}{2^8}}$$

Por tanto, la ganancia de tensión será: $Av = \frac{Vo}{Vi} = \frac{-256}{N}$, donde N representa el número decimal equivalente a la combinación binaria presente en las entradas digitales. A modo de ejemplo, algunos de los valores de ganancia que se pueden obtener con este montaje son:

D=00000000, Av=-A_{OL} (Amplificador Operacional en lazo abierto)

D=00000001, Av=-256

D=10000000, Av=-256/128=-2

D=11111111, Av=-256/255

La expresión de la tensión de salida corresponde a la división de una variable analógica (Vi) por un número digital. Por lo tanto, cuando todos los bits están a cero

lógico (N=0), el operacional queda sin realimentar y su salida se satura adoptando un valor que depende de la tensión de alimentación del operacional.

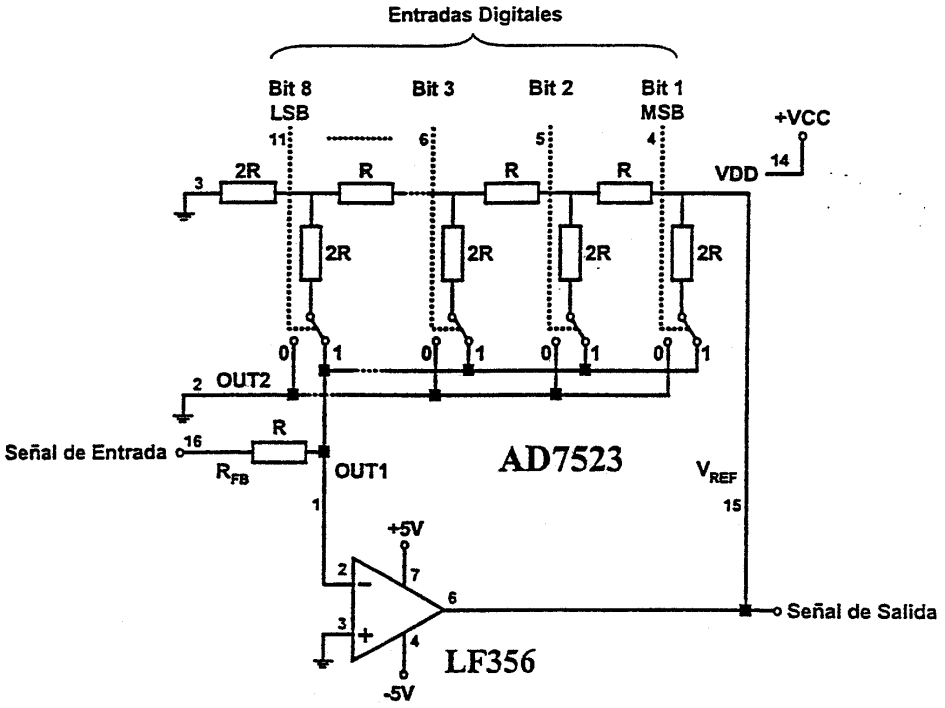


Figura 5. Amplificador de ganancia controlada digitalmente.

Para comprobar el funcionamiento de este circuito es necesario configurar la placa según los siguientes criterios:

1.- Cerciórese de que la placa **NO ESTA ALIMENTADA.**

2.- Mediante dos jumpers conecte las posiciones **A3-4 y B2-3 de J2.**

- La conexión A3-4 de J2 une el terminal 16 del convertidor AD7523 (Rfb) a la hembrilla IN (color verde), que constituye la entrada de señal del circuito.
- La conexión B2-3 de J2 une el terminal 15 del convertidor AD7523 (Vref) al terminal de salida del operacional. De este modo se cierra el lazo de realimentación del operacional.

3.-El **resto de los jumpers deben estar desconectados**, exceptuando J1, que proporciona los valores digitales de entrada y cuyas posiciones no importan inicialmente.

4.- La **salida del circuito** se obtiene en la **hembrilla OUT** (color amarillo) que, como se aprecia en el esquema eléctrico del Anexo B (Figura B.3), está directamente conectada al terminal de salida del operacional (terminal 6).

5.- Antes de dar tensión al circuito comprobar la configuración correcta de los jumpers.

6.- En todos los casos la tensión de **alimentación de la placa es de ±5V y la corriente de la fuente debe estar limitada a 200mA:**

- Hembrilla +Vcc (color rojo) → +5V
- Hembrilla -Vcc (color azul) → -5V
- Hembrilla GND (color negro) → Masa

a) Una vez configurada la placa aplicar una señal de entrada senoidal de 100mV$_{PP}$, 1KHz y comprobar la señal de salida que se obtiene cuando en las entradas digitales se aplican los siguientes números binarios: 11111111, 10000000 y 00000000.

Recuerde que para introducir las diferentes combinaciones binarias es necesario colocar adecuadamente los jumpers de J1 (1-2 → "1 lógico" y 2-3 → "0 lógico") y seguidamente presionar el pulsador LOAD. Tal como se explica en el Anexo B, esto se debe a que las entradas binarias del convertidor se conectan a los jumpers de entrada (J1) a través de dos contadores 74LS191.

b) Determinar la ganancia que resulta en cada caso y comprobarla con su valor teórico.

2.2.2 Atenuador controlado digitalmente

El circuito de la figura 6 representa un atenuador controlado digitalmente. En este montaje la señal de salida viene dada por la expresión:

$$Vo = -\left[\frac{Bit1}{2} + \frac{Bit2}{4} + ... + \frac{Bit8}{2^8}\right]Vi$$

Por tanto, la ganancia de tensión será: $Av = \frac{Vo}{Vi} = \frac{-N}{256}$, donde N representa el número decimal equivalente a la combinación binaria presente en las entradas digitales.

La ganancia estará comprendida entre Av=0, para D=00000000 (N=0) y Av=-0,996 para D=11111111(N=255). En consecuencia, para cualquier valor de la entrada digital la señal de salida siempre es menor que la entrada, y el circuito se comporta, efectivamente como un atenuador.

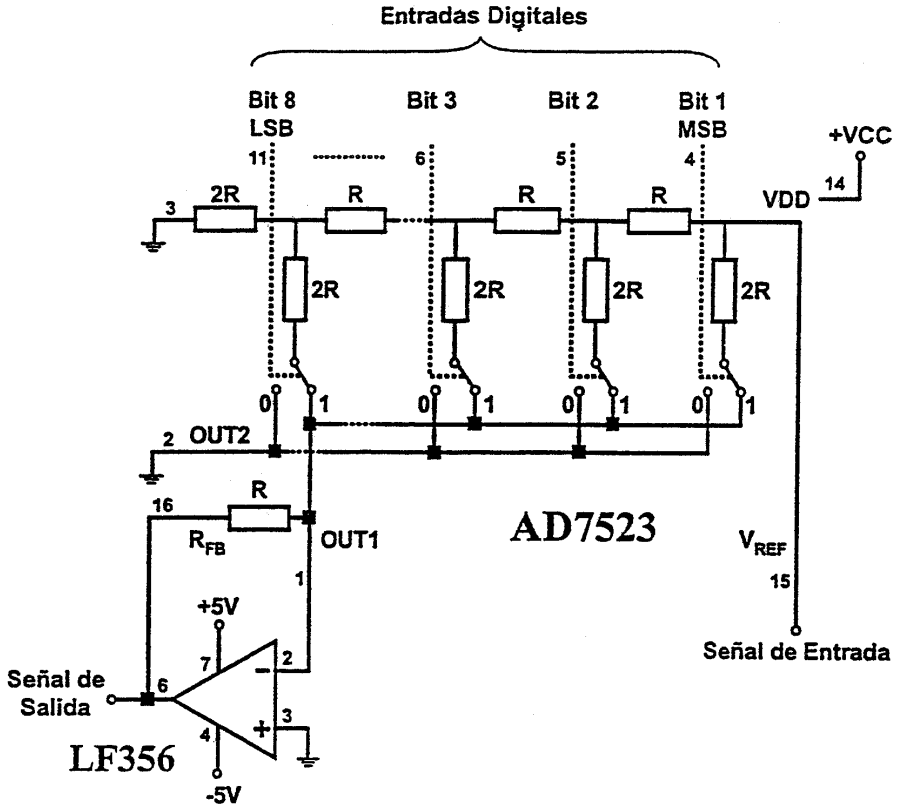


Figura 6. Atenuador controlado digitalmente.

Para comprobar el funcionamiento de este circuito es necesario configurar la placa según los siguientes criterios:

1.- Cerciórese de que la placa **NO ESTA ALIMENTADA.**

2.- Mediante dos jumpers conecte las posiciones **A2-3 y B3-4 de J2.**

- La conexión A2-3 de J2 une el terminal 15 del convertidor AD7523 (Vref) a la hembrilla IN (color verde), que constituye la entrada de señal del circuito.
- La conexión B3-4 de J2 une el terminal 16 del convertidor AD7523 (Rfb) con el terminal de salida del operacional. De este modo se cierra el lazo de realimentación del operacional.

3.-El **resto de los jumpers deben estar desconectados**, exceptuando J1, que proporciona los valores digitales de entrada y cuyas posiciones no importan inicialmente.

4.- La **salida del circuito** se obtiene en la **hembrilla OUT** (color amarillo) que, como se aprecia en el esquema eléctrico del Anexo B (Figura B.3), está directamente conectada al terminal de salida del operacional (terminal 6).

5.- Antes de dar tensión al circuito comprobar la configuración correcta de los jumpers.

6.- En todos los casos la tensión de **alimentación de la placa es de ±5V y la corriente de la fuente debe estar limitada a 200mA.**

- Hembrilla +Vcc (color rojo) → +5V
- Hembrilla -Vcc (color azul) → -5V
- Hembrilla GND (color negro) → Masa

a) Una vez configurada la placa comprobar la atenuación que se obtiene si tanto la señal de entrada, como las combinaciones binarias presentes en las entradas digitales, son las mismas que en apartado anterior.

b) Comparar los resultados experimentales con los valores teóricos esperados.

2.2.3 DAC unipolar

El circuito de la figura 7 representa el montaje de un convertidor D/A con salida unipolar.

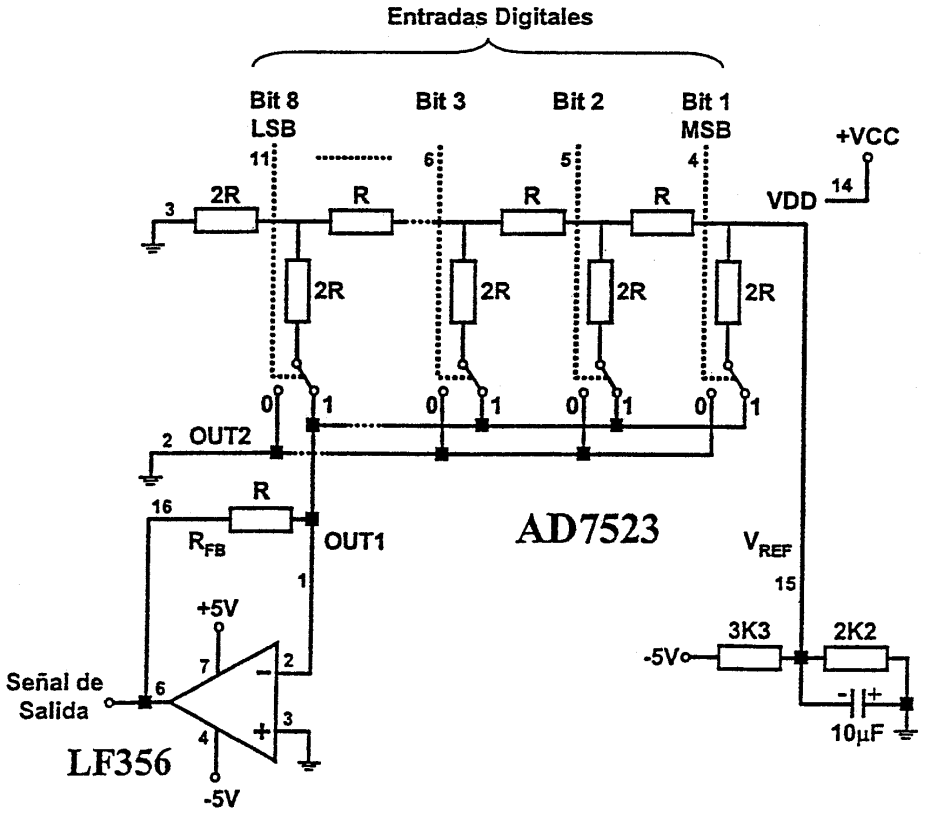


Figura 7. Convertidor D/A unipolar.

En este caso el valor de la señal de salida viene dada por la expresión:

$$Vo = -\frac{N}{256}V_{REF}$$

Donde V_{REF} es el valor entregado por el divisor de tensión (aproximadamente –2V) y N representa el número decimal equivalente a la combinación binaria presente en las entradas digitales. Estas entradas pueden conectarse a la salida del puerto paralelo del PC (Centronics), habitualmente utilizado para conectar una impresora. A este montaje se le puede añadir un condensador (100 nF, por ejemplo) en serie con la salida para bloquear a componente continua existente, ya que la salida del amplificador operacional será siempre mayor o igual que cero (funcionamiento unipolar).

Para comprobar el funcionamiento de este circuito es necesario configurar la placa según los siguientes criterios:

1.- Cerciórese de que la placa **NO ESTA ALIMENTADA.**

2.- Mediante dos jumpers conecte las posiciones **B1-2 y B3-4 de J2.**

- La conexión B1-2 de J2 une el terminal 15 del convertidor AD7523 (Vref) a la tensión de referencia de aproximadamente –2V. Tal como se aprecia en el esquema eléctrico de la placa (Figura B.3 del Anexo B) la tensión de referencia se obtiene a partir de un divisor de tensión constituido por las resistencias de valor 2K2 y 3K3 respectivamente (Punto A de la figura X).
- La conexión B3-4 de J2 une el terminal 16 del convertidor AD7523 (Rfb) con el terminal de salida del operacional.

3.- Conecte todas las entradas digitales **(las 8 posiciones de J1) a "0 lógico" (conexión 2-3).**

4.-El **resto de los jumpers deben estar desconectados.**

5.- La **salida del circuito** se obtiene en la **hembrilla OUT** (color amarillo) que, como se aprecia en el esquema eléctrico del Anexo B (Figura B.3), está directamente conectada al terminal de salida del operacional (terminal 6).

6.- Antes de dar tensión al circuito comprobar la configuración correcta de los jumpers.

7.- En todos los casos la tensión de **alimentación de la placa es de ±5V y la corriente de la fuente debe estar limitada a 200mA:**

- Hembrilla +Vcc (color rojo) → +5V
- Hembrilla -Vcc (color azul) → -5V
- Hembrilla GND (color negro) → Masa

a) Una vez configurada la placa aplicar a la entrada de reloj CLK (hembrilla de color verde) una onda cuadrada de niveles TTL, cuya frecuencia permita una adecuada visualización de la señal de salida del DAC. Determinar a partir de ella la resolución del convertidor.

En este montaje se utilizan dos contadores síncronos de 4 bits para generar las combinaciones binarias en las entradas digitales del convertidor (ver hojas de características del 74LS191 en el Anexo C). Estos contadores permiten tanto el contaje ascendente como descendente y la dirección de contaje se define en cada momento mediante el interruptor U/D. Al actuar sobre el pulsador PULSE se activa el terminal de desinhibición de los contadores provocando el incremento o decremento del valor de las salidas. La velocidad de cambio depende de la frecuencia de la señal de reloj CLK.

b) Comprobar si existe algún tipo de error en la conversión (ganancia, linealidad, etc.)

2.2.4 Ensayo con señal senoidal y reloj TTL

Conectar A23 y B34 y razonar la
forma de onda ontenida en la salida

Anexo A: Caracterización de la red R-2R

La figura 5 muestra una red en escalera R-2R en la que, por simplicidad, se considera el caso de 3 bits (es decir, 3 etapas R-2R), aunque los principios de funcionamiento de la misma se pueden extender fácilmente a cualquier número de bits. La red se compone de 2 resistencias de valor R y 4 de valor 2R, tres de ellas conectadas al contacto móvil de su respectivo conmutador y la cuarta a masa, que actúa como terminación de la red. Cada conmutador posee dos posiciones que se controlan según el estado del correspondiente bit de entrada (B_2 a B_0).

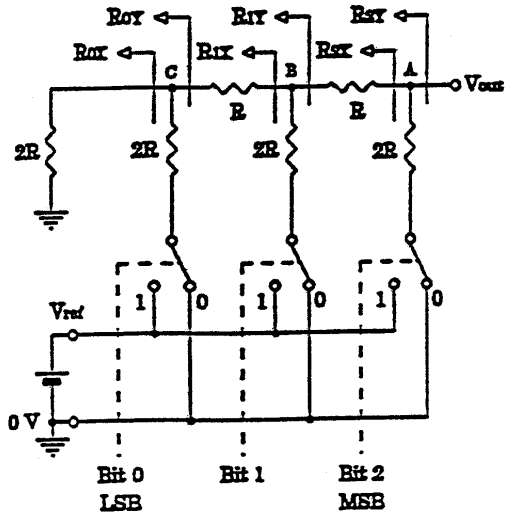


Figura 5

Con independencia del número de etapas R-2R utilizadas, la resistencia de salida de la red, R_{2Y}, vale R, y si el proceso de cálculo se propaga hacia la izquierda, en cada nudo se obtiene:

$$R_{0X} = R_{1X} = R_{2X} = 2R$$
$$R_{0Y} = R_{1Y} = R_{2Y} = R$$

Para calcular la tensión de salida (nudo A) en función de la combinación binaria presente en la entrada digital, se aplica el principio de superposición a las situaciones más sencillas, en las que un bit está a 1 lógico (nivel alto) y todos los demás están 0 lógico (nivel bajo). El efecto de cada bit sobre el valor de la tensión en A se deduce más fácilmente si se obtiene el equivalente Thévenin de cada situación, como se muestra en la figura 6. En ella puede verse que:

Si $B_2 = 1$ y $B_1 = B_0 = 0$, se obtiene $V_A = V_{out} = V_{ref}/2$.
Si $B_2 = 0$, $B_1 = 1$ y $B_0 = 0$, se obtiene $V_{out} = V_{ref}/4$.
Si $B_2 = B_1 = 0$ y $B_0 = 1$, se obtiene $V_{out} = V_{ref}/8$.
Si todos los bits están a 0, se obtiene $V_{out} = 0$.

En consecuencia, la tensión de salida adopta la forma:

$$V_{out} = V_{ref}\left[\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8}\right] = \frac{V_{ref}}{2^3}\left[2^2 B_2 + 2^1 B_1 + 2^0 B_0\right]$$

donde el término entre paréntesis representa el paso de binario a decimal de la combinación binaria de entrada.

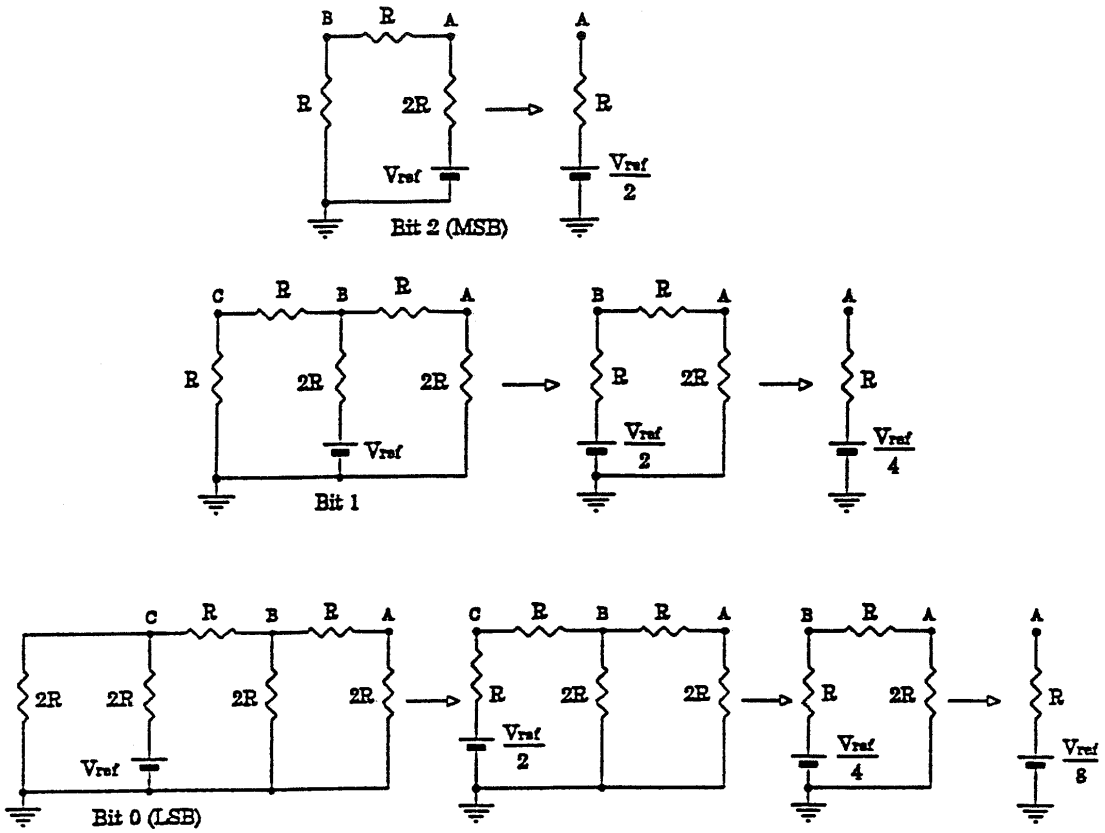


Figura 6

Para el caso general de n bits, resulta:

$$V_{out} = V_{ref}\left[\frac{B_{n-1}}{2} + \frac{B_{n-2}}{4} + \frac{B_{n-3}}{8} + \ldots\ldots + \frac{B_0}{2^n}\right]$$

o también,

$$V_{out} = \frac{V_{ref}}{2^n}\left[2^{n-1}\,B_{n-1} + 2^{n-2}\,B_{n-2} + \ldots\ldots + 2^1\,B_1 + 2^0\,B_0\right]$$

La red en escalera R-2R, a causa de su simetría, puede ser utilizada también en otra configuración en la que los papeles de los terminales de referencia y de salida están intercambiados. Un ejemplo de esta configuración es el que se muestra en la figura 7, en la que aparece un convertidor D/A de 3 bits que emplea una red en escalera cargada con un cortocircuito virtual (V = 0). En este caso, la red R-2R divide la corriente de entrada, $I_{ref} = V_{ref}/R$, en corrientes de bit que poseen una ponderación binaria natural, y que son dirigidas hacia la salida o a masa por los conmutadores.

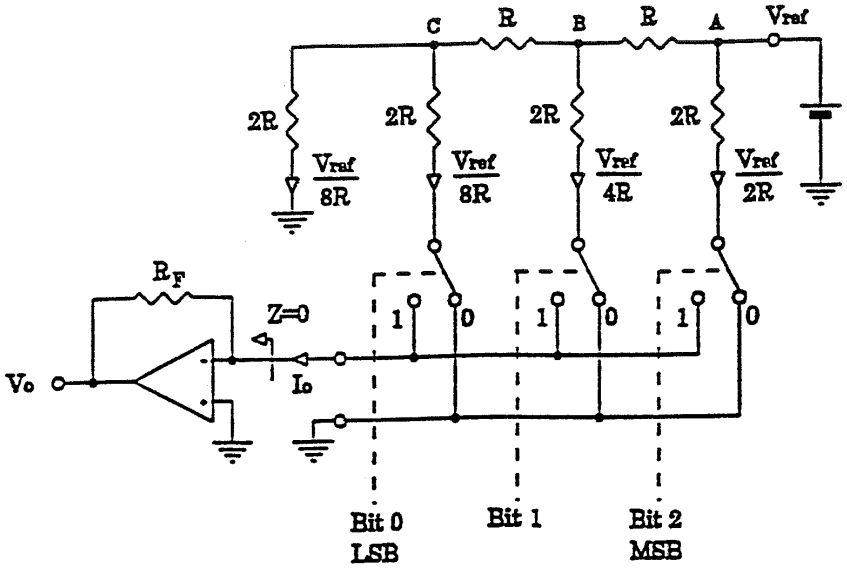


Figura 7

Con independencia de la posición de los conmutadores, las resistencias 2R ven siempre 0 V en su extremo inferior. Esto mantiene constantes las tensiones V_A, V_B y V_C con independencia de la combinación binaria presente en la entrada digital. Estas tensiones se pueden calcular fácilmente aplicando el teorema de Thévenin a cada nudo. En efecto, se obtiene que, mirando hacia la izquierda, la carga vista por cada uno es de valor R. De aquí se deduce que las tensiones decrecen en progresión geométrica de razón 1/2, generando los pesos adecuados para una entrada en binario natural.

$$V_A = V_{ref}$$

$$V_B = \frac{V_A \cdot R}{2R} = \frac{V_{ref}}{2}$$

$$V_C = \frac{V_B}{2} = \frac{V_{ref}}{4}$$

En la entrada inversora del amplificador operacional se suman las corrientes que provienen de las resistencias 2R cuyos conmutadores se encuentran en la posición 1 (Bit = 1 lógico), por lo que la corriente total, I_O, es:

$$I_O = \frac{V_A}{2R} B_2 + \frac{V_B}{2R} B_1 + \frac{V_C}{2R} B_0 = \frac{V_{ref}}{2R} B_2 + \frac{V_{ref}}{4R} B_1 + \frac{V_{ref}}{8R} B_0$$

es decir,

$$I_O = \frac{V_{ref}}{R}\left[\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8}\right]$$

y la tensión de salida del amplificador operacional es:

$$V_O = - I_O R_F = - V_{ref} \frac{R_F}{R}\left[\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8}\right]$$

que en el caso general de un DAC de *n* bits resulta:

$$V_O = - \frac{V_{ref}}{2^n} \frac{R_F}{R} \left[2^{n-1} B_{n-1} + 2^{n-2} B_{n-2} + \ldots\ldots + 2^1 B_1 + 2^0 B_0\right]$$

Si, como es habitual en la práctica, se hace $R_F = R$:

$$V_O = - \frac{V_{ref}}{2^n} \left[2^{n-1} B_{n-1} + 2^{n-2} B_{n-2} + \ldots\ldots + 2^1 B_1 + 2^0 B_0\right]$$

Anexo B: Características de la placa reconfigurable

1. Introducción

La placa A/D-D/A ha sido desarrollada con el fin de facilitar el análisis de diferentes aplicaciones en las que se utilizan convertidores D/A y A/D.

La estructura de la placa se muestra en la Figura B.1, en la que se distinguen tres zonas denominadas I, II y COMÚN. La zona I corresponde a un sistema de conversión D/A, mientras que en la zona II se ubica el circuito de acondicionamiento de señal de un sensor de temperatura, que se utiliza como señal de entrada en un sistema de conversión A/D. La denominada Zona Común forma parte tanto de la Zona I como de la II y contiene los terminales de alimentación de la placa (+VCC, -VCC y GND) y dos condensadores de 100μF que se conectan entre +VCC y GND y –VCC y GND para reducir posibles ruidos producto de la tensión de alimentación.

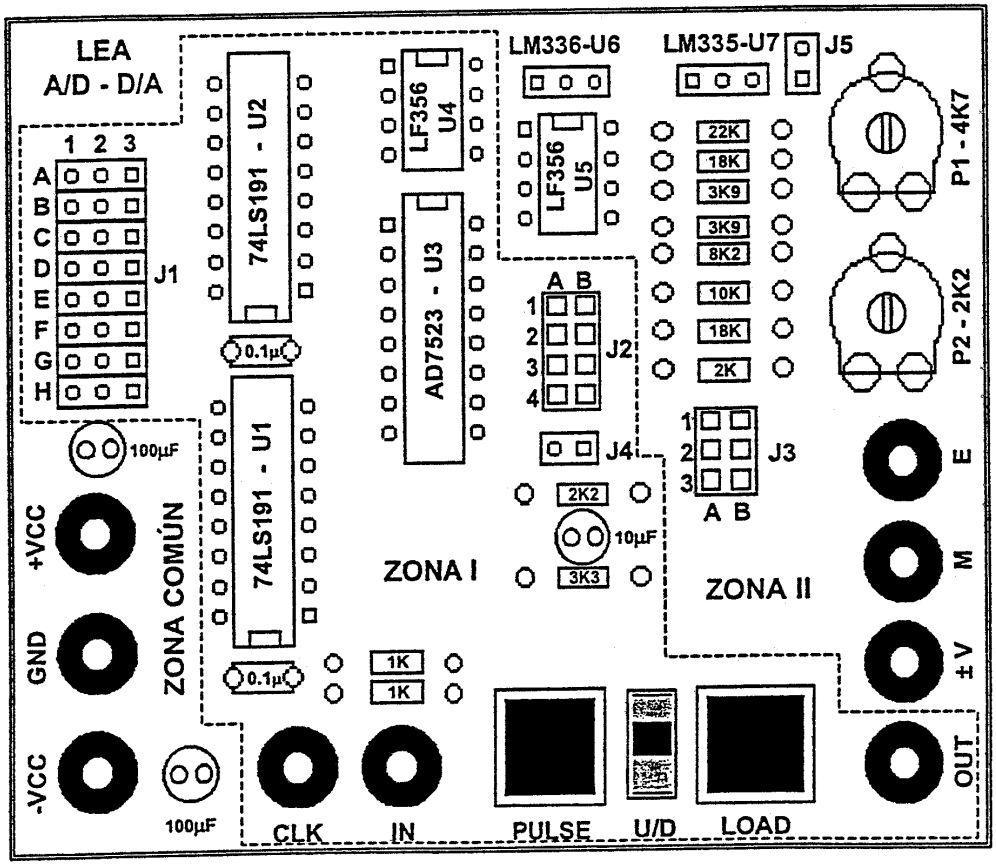


Figura B.1. Esquema general de la placa A/D-D/A.

De acuerdo con lo anterior se puede deducir que esta placa se utilizará tanto para la realización de la práctica 7 como de la 8. El objetivo de la práctica 7 es el análisis de la conversión D/A y de algunas aplicaciones prácticas de los DACs, mientras que en la práctica 8 se analiza la conversión A/D y como ejemplo de aplicación práctica se realiza un termómetro centígrado.

A continuación se describe, desde el punto de vista eléctrico, la arquitectura y funcionamiento de cada parte de la placa.

2. Sistema de conversión D/A

El sistema de conversión D/A se muestra en la figura B.2 y está formado por un convertidor D/A AD7523 (U3), un amplificador operacional LF356 (U4) y dos contadores 74LS191(U1 y U2). El circuito eléctrico correspondiente se muestra en la Figura B.3 y las hojas de características de cada uno de los dispositivos se ofrecen en el Anexo C.

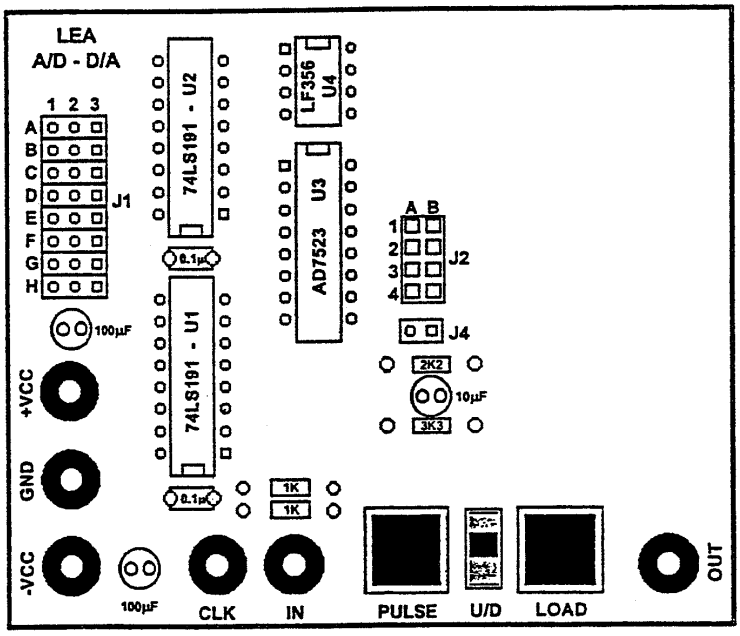


Figura B.2. Sistema de conversión D/A.

El funcionamiento de la placa se basa en generar diferentes valores digitales, que dependiendo de la configuración de la placa en cada momento, permiten el control de la aplicación concreta que se analiza.

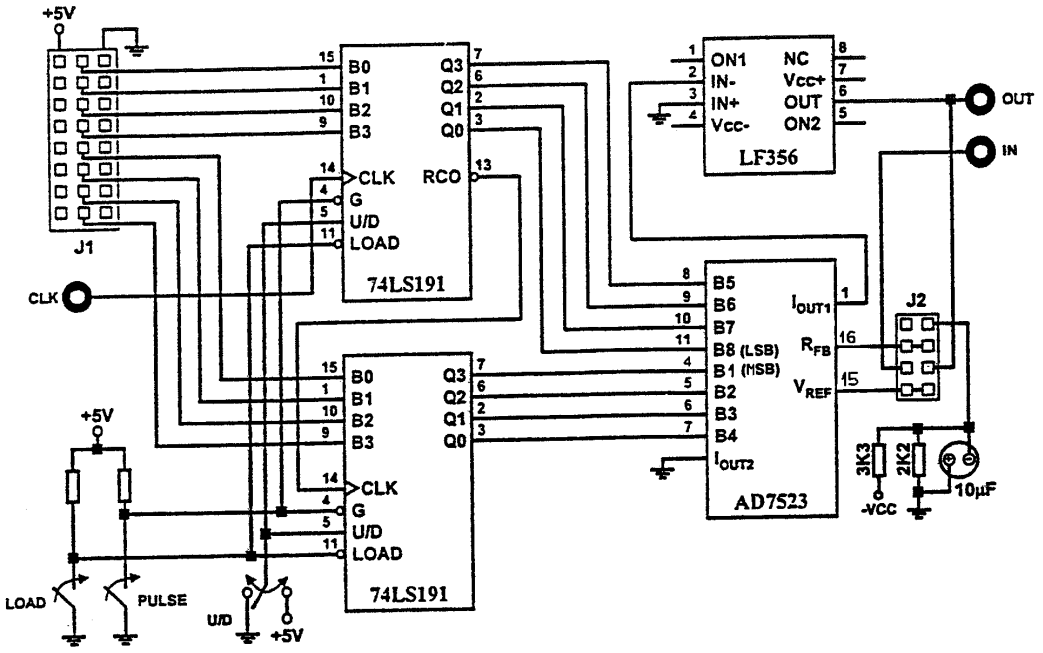


Figura B.3. Circuito eléctrico del sistema de conversión D/A.

La configuración de la placa se realiza mediante los jumpers de J2. Tal como se explica en el guión de la práctica 7 están previstas tres configuraciones diferentes: un amplificador de ganancia controlada digitalmente, un atenuador controlado digitalmente y una configuración de DAC unipolar que se puede utilizar como tarjeta de sonido para PC.

El dato presente en las entradas digitales del convertidor se puede generar de dos formas:

- Configurando J1.
- A partir de los contadores U1 y U2.

En el primer caso el usuario debe conectar cada uno de los jumpers de J1 a "1" o "0" lógico, según el dato que se quiera generar, y a continuación presionar el pulsador LOAD. Este pulsador permite la carga en paralelo del dato en ambos contadores (los contadores son de cuatro bits - Anexo C). Esto significa que el dato presente en las entradas de los contadores pasa a sus salidas que están conectadas directamente a las entradas digitales del DAC. La razón de conectar J1 a las entradas digitales del DAC a través de contadores de carga paralela es para optimizar el diseño de la placa.

La otra forma de generar los datos del DAC es mediante los contadores U1 y U2. En este caso los contadores se deben inicializar con un determinado dato (lo define el usuario y generalmente es "cero") que se genera a partir de J1 y se establece al activar el pulsador LOAD. Además, puesto que estos contadores permiten el contaje ascendente y

descendente, es necesario definir el modo que se desea y para ello se dispone del interruptor U/D.

Una vez establecidas las condiciones iniciales, se puede activar el modo de contaje manteniendo presionado el pulsador PULSE. De esta forma el dato presente en las salidas del contador crecerá o decrecerá de acuerdo a la frecuencia de reloj establecida por el usuario.

La señal de reloj se genera de forma externa y consiste en una onda cuadrada de valor TTL y frecuencia apropiada. Dicha señal se conecta a la entrada de reloj del contador de menor peso a través de la hembrilla CLK (color verde). La entrada de reloj del contador de mayor peso está gobernada por el terminal de acarreo del primer contador (se activa cuando el contador llega al valor máximo de conteo).

3. Circuito de acondicionamiento de señal del sensor de temperatura

Como se dijo anteriormente, en la práctica 8 se analizan los convertidores A/D y como ejemplo práctico se realiza un termómetro centígrado que utiliza un ADC de doble rampa. Para facilitar el montaje de la práctica se proporciona un medidor digital integrado que incluye el ADC y un visualizador (muestra la temperatura medida). Como en todo sistema de adquisición de datos se requiere un sensor, en este caso de temperatura, que convierta la señal a medir en una señal eléctrica. Dicho sensor y el circuito de acondicionamiento de su señal de salida constituyen la Zona II de la placa A/D-D/A.

La figura B.4 muestra la estructura del circuito de acondicionamiento, formado por un amplificador operacional LF356 (U5), una fuente de tensión de referencia estable LM336 (U6) y un sensor de temperatura LM335 (U7). El circuito eléctrico correspondiente se muestra en la Figura B.5 y las hojas de características de cada uno de los dispositivos se ofrecen en el Anexo C.

La función de este circuito es calibrar la señal de salida del sensor de temperatura en grados centígrados (10mV/ºC), puesto que dicho sensor proporciona una tensión de salida que cambia linealmente en función de la temperatura en grados Kelvin (10mV/ºK - Anexo C). El rango de temperaturas de funcionamiento está comprendido entre -40ºC y +100ºC.

Como se aprecia en la figura B.5, el circuito consta de un amplificador operacional en configuración inversor, a cuya entrada no inversora se aplica una tensión fija de 2.5V

procedente del LM336 (Anexo C). La salida del amplificador se aplica al medidor digital (sistema de conversión A/D y visualización) a través de un divisor de tensión constituido por dos resistores de 18K y 2K respectivamente. (divide por 1 0)

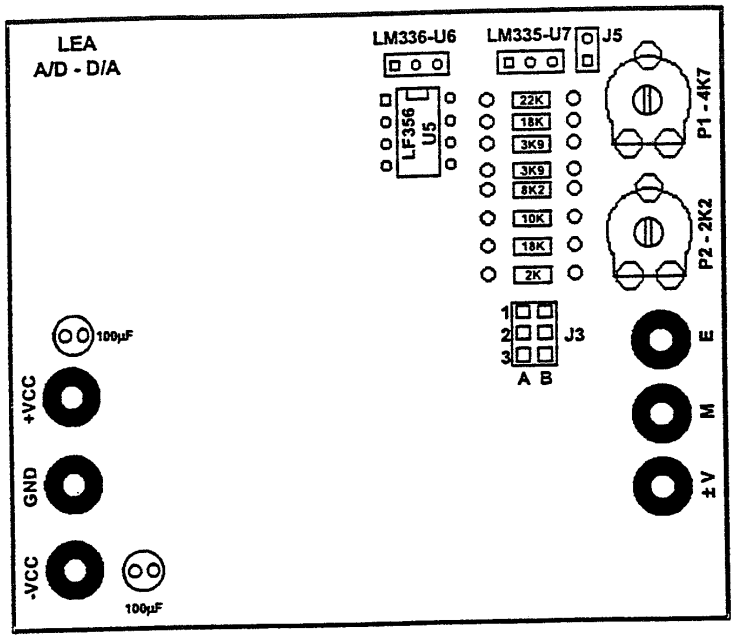


Figura B.4. Sensor de temperatura y circuito de acondicionamiento.

Para realizar la conexión con el medidor digital la placa dispone de dos hembrillas denominadas E y M (color amarillo), que se conectan directamente a los terminales de igual nombre del medidor digital.

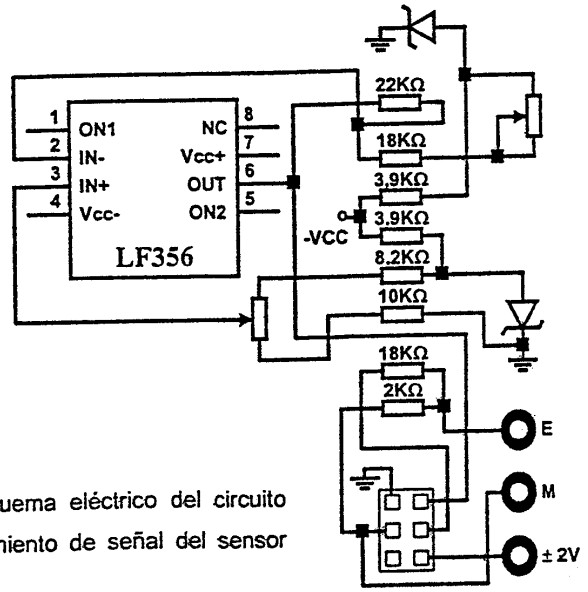
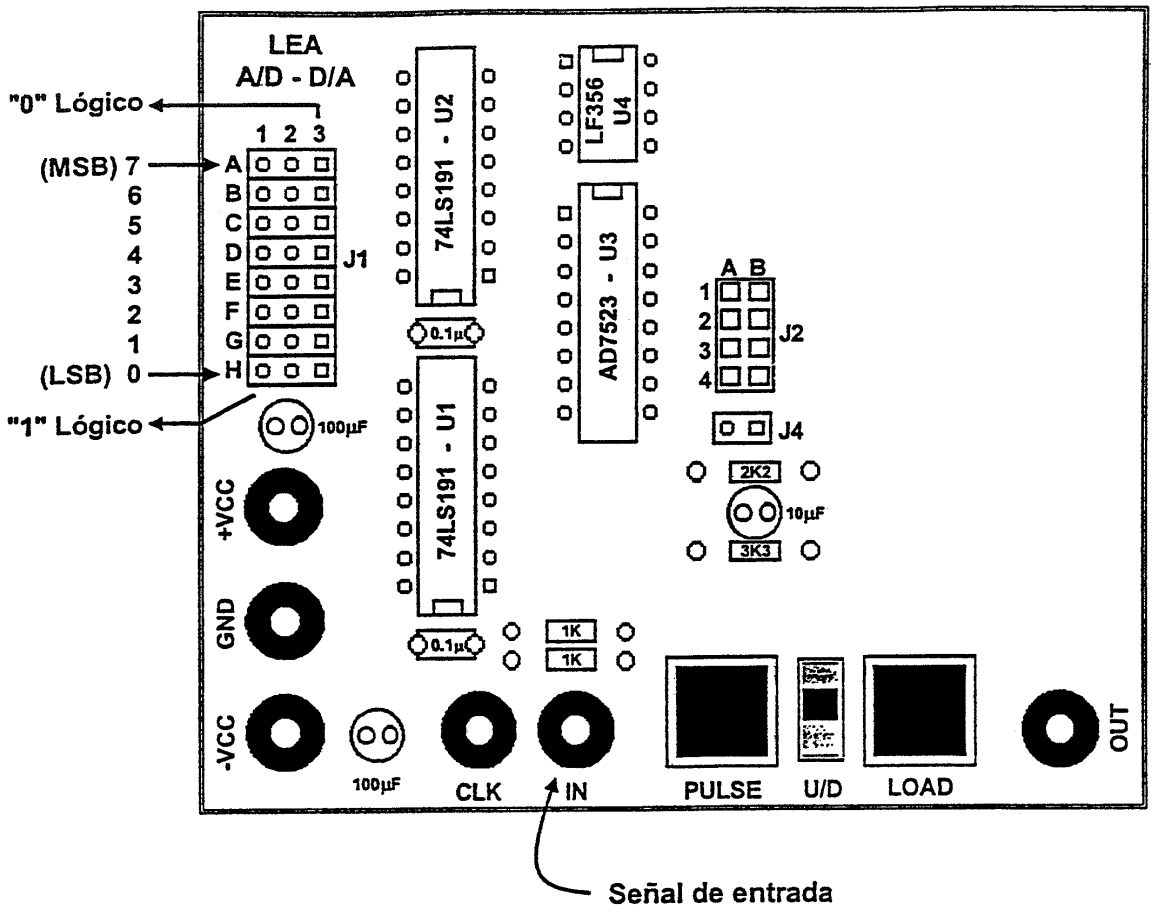


Figura B.5. Esquema eléctrico del circuito de acondicionamiento de señal del sensor de temperatura.



Referencias a los componentes utilizados en esta práctica.

AD7523:
www.intersil.com/data/fn/fn3105.pdf

CD4053:
www.fairchildsemi.com/ds/CD%2FCD4052BC.pdf

LF356:
www.national.com/pf/LF/LF356.html