Práctica 9: Circuitos de muestreo y retención (S&H)

1. Introducción.

Los circuitos de muestreo y retención (Sample & Hold) se utilizan para obtener muestras de señales analógicas (generalmente muestras de tensión). Poseen dos estados de funcionamiento:

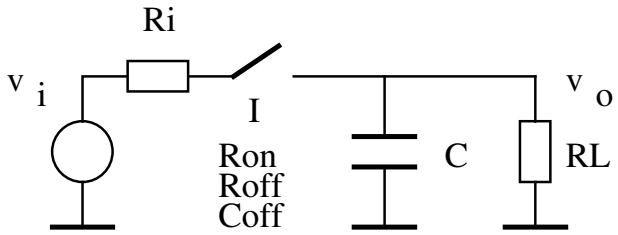
1) Estado de muestreo o seguimiento (sample). La salida sigue a la entrada.

2) Estado de retención (hold). La salida retiene el valor que tenía la entrada en el momento del cambio a este estado.

Su principal aplicación se encuentra en los sistemas de adquisición de datos, como circuito previo al convertidor analógico digital. Los convertidores de aproximaciones sucesivas requieren el uso de un circuito de S&H para evitar que el valor que se está determinando pueda cambiar antes de finalizar la medida. Como excepción, los convertidores de aproximaciones sucesivas basados en conmutación de condensadores (por ejemplo TLC1543 de Texas) no requieren circuito de S&H, ya que los condensadores empleados para la conversión realizan implícitamente la tarea de muestreo y retención.

Es importante advertir que otros tipos de convertidores no requieren el empleo de un S&H. Los convertidores de tipo integrador (como el de doble rampa) pueden operar sin S&H, en cuyo caso miden el valor medio de la señal durante el ciclo de integración. Si utilizan un circuito de S&H, la medida se realiza sobre el valor *instantáneo* retenido.

Los circuitos de S&H utilizan un condensador para retener o *memorizar* las muestras de tensión. El circuito básico se muestra en la figura.



Durante la fase de muestreo el interruptor I se mantiene cerrado. Durante la fase de retención se mantiene abierto. El interruptor es electrónico y se puede realizar mediante transistores bipolares, JFET o MOS. Su resistencia Ron debería ser idealmente cero, pero suele ser de decenas o centenas de Ω. Su resistencia Roff debería ser infinita y suele ser superior a 1 G Ω en la práctica. Idealmente, Ri debería ser 0 y RL infinita. Además, la señal digital de control empleada para abrir y cerrar el interruptor se transmite en cierta medida a la salida, debido a la existencia de capacidades parásitas (crosstalk).

A continuación se definen algunos términos empleados con frecuencia en el estudio de los circuitos de S&H.

Tiempo de adquisición (acquisition time).- El tiempo necesario para que la salida del S&H actualice su valor al de una nueva muestra, con un error determinado. Se especifica para un determinado salto de tensión (cambio con relación a la muetra anterior), por ejemplo 5V. El error se especifica generalmente como un porcentaje del salto (por ejemplo 0,1 %). Se puede interpretar como el tiempo que se debe mantener el interruptor cerrado para lograr la carga del condensador (Ri, Ron distintas de cero). Otro efecto a tener en cuenta es la inductancia parásita del condensador, que no es despreciable si se emplea un condensador electrolítico. Este tiempo se puede ver incrementado por el uso de un operacional lento (ver apartado 2). Este tiempo es mayor si se utilizan condensadores con mayor capacidad.

Tiempo de apertura (aperture time).- El tiempo mínimo que debe transcurrir desde la orden de retención (hold) para que los posteriores cambios en la entrada no afecten a la salida. Se puede interpretar como el tiempo que el interruptor tarda en abrirse.

Error dinámico de muestreo (dynamic sampling error).- Error que aparece en la salida como resultado de que la entrada esté variando en el momento de la orden de retención (hold). Se suele expresar en mV, para una determinada pendiente de cambio (slew rate) de la entrada. Este error está presente aunque los tiempos de muestreo sean muy grandes, ya que se debe al retardo introducido por la constante de tiempo $(Ri+Ron)\cdot C$, despreciando RL.

Error de ganancia (gain error).- Diferencia entre las tensiones de salida y entrada en el estado de seguimiento. Se suele expresar porcentualmente. Se debe a la atenuación introducida por Ri+Ron y RL.

Atenuación en estado de retención (feedthrough attenuation).- En el estado de retención, con el interruptor abierto, la salida debería ser independiente de la entrada. Como el interruptor no es ideal, la señal de entrada aparece en la salida, aunque muy atenuada. Esta atenuación se suele especificar en % o en dB.

Tiempo de estabilización o asentamiento de la salida en estado de retención (hold settling time).- El tiempo que tarda la tensión de salida en aproximarse a su valor final, desde que se entra en el estado de retención. Se especifica generalmente para una distancia de 1 mV del valor final.

Salto de retención (hold step). Es el salto de tensión que se produce en la salida al pasar del estado de muestreo al de retención, como consecuencia de la aplicación de la señal de control (la que gobierna el interruptor). Se suele especificar con la entrada a un valor fijo (continua) y un salto en la señal de control de 5 V. Se debe a las capacidades parásitas entre la entrada de control y los terminales del interruptor (crosstalk).

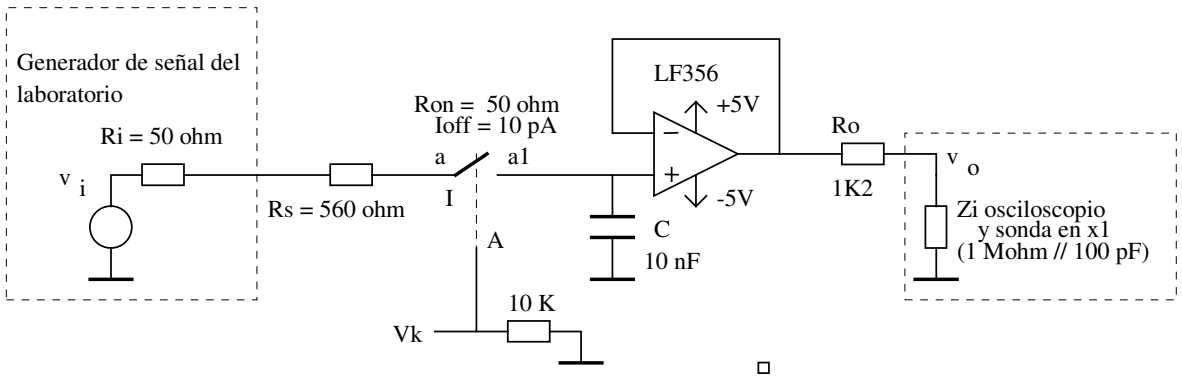
Pérdida de retención o caída de tensión.- Desde el momento en que el circuito entra en estado de retención, la tensión de la salida sufre una deriva, no necesariamente hacia 0V, que se suele cuantificar mediante su pendiente (p. ej. en V/s). Esta deriva es consecuencia de la circulación de corriente a través del condensador, ya tenga su origen en el circuito al que está conectado (p. ej. entrada de un operacional) o se deba a fugas a través de su propio dieléctrico. Este efecto es más notable si el condensador es de pequeña capacidad.

2. Circuito de S&H básico realizado con un operacional.

El circuito de la figura se deriva del esquema básico presentado en la introducción. El interruptor se realiza mediante un conmutador analógico CMOS (1/3 4053). La resistencia ON del interruptor es del orden de 50 Ω. Se conecta una resistencia externa Rs en serie de 560 Ω para aumentar el tiempo de adquisición, con lo que se facilita su medida aunque en realidad se degrada el funcionamiento del S&H. El operacional LF356 actúa como seguidor de tensión, evitando que el condensador se descargue a través de la resistencia de carga (la resistencia de entrada del osciloscopio, de 1MΩ en este caso).

El LF356 es de tipo BIFET, caracterizado por utilizar transistores JFET (de canal P) en el par diferencial de entrada. Por este motivo posee unas corrientes de polarización muy bajas en ambas entradas (del orden de 40 pA), lo que reduce a un mínimo la descarga del condensador. A esta corriente habría que añadir, en el peor caso, la que circula por el interruptor CMOS cuando está abierto, del orden de 10 pA. La descarga del condensador tiene lugar en este caso a una velocidad de:

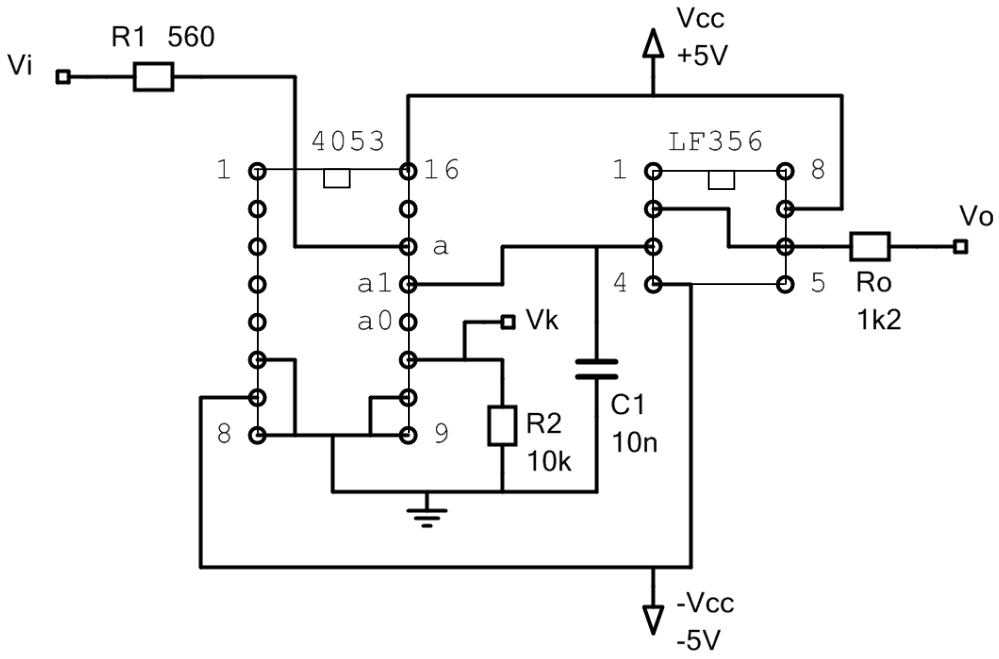
$\Delta v/\Delta t = I/C = 50\ pA/10\ nF = 5\ mV/s$



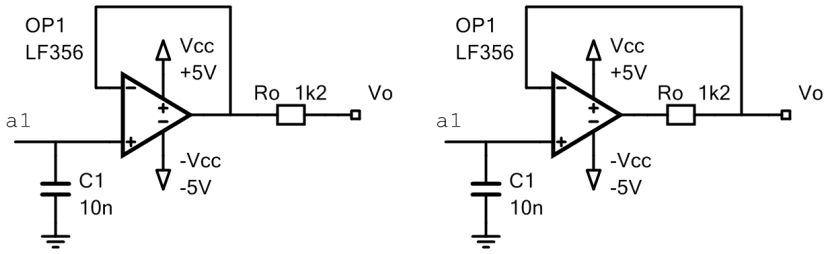
El LF356 está compensado internamente y puede ser utilizado como seguidor de tensión. Sin embargo, puede volverse inestable cuando se conectan cargas capacitivas (como la sonda del osciloscopio) en su salida, ya que el circuito RC formado por la resistencia de salida del operacional y la capacidad de la sonda genera un polo adicional. La resistencia Ro, intercalada entre la salida del operacional y la sonda del osciloscopio, reduce el riesgo de oscilación sin afectar de forma apreciable a las medidas.

El conexionado necesario para realizar el circuito se indica a continuación. El circuito se alimenta con la fuente del laboratorio en modo TRACK, ajustada a ±5V. La señal Vi se obtiene del generador de señales del laboratorio. El osciloscopio se conecta en la entrada Vi (canal I, empleando un cable BNC normal) y en la salida Vo (canal II, empleando una sonda de osciloscopio en la posición x1).

Se debe prestar especial atención al conexionado de las alimentaciones, para evitar confundir masa con -5V.



El siguiente esquema muestra dos formas alternativas de conectar la salida (Vo) al osciloscopio para evitar oscilaciones.



2.1. Medidas estáticas.

Conectar la señal Vk a +5V para que el interuptor se encuentre cerrado (estado de muestreo o seguimiento). Aplicar en Vi una senoide de 1 KHz y 4 Vpp. Visualizar Vo y comprobar que es prácticamente igual a Vi. Esto quiere decir que el *error de ganancia* es despreciable.

Cambiar ahora Vk a 0v (masa), para abrir el interruptor (estado hold). Visualizar Vo. En Vo debería aparecer un valor de continua que corresponde al que tenía Vi en el momento de abrir el interruptor. Este valor cambia lentamente con el tiempo debido a 2 factores: la coriente de fugas en el dieléctrico del condensador y la corriente de polarización de la entrada no inversora del operacional. Suprimiendo el nivel de continua (osciloscopio en AC) y aumentando la sensibilidad debe aparecer en la salida una señal senoidal de 1 KHz de muy pequeña amplitud. Esto indica que el interruptor tiene una resistencia Roff no infinita y una capacidad Coff no nula, del orden de 5 pF. Despreciando el efecto de Roff, su amplitud viene dada por el divisor de tensión formado por Coff y C.

Vo = 4 Vpp · (5pF en serie con 10 nF) / 10 nF ≈ 4 Vpp · 5 pF / 10 nF = 2 mVpp

por lo que su medida puede resultar difícil. En efecto, la salida suele presentar una interferencia de 50Hz de unos 10 mVpp que enmascara la señal que se quiere determinar.

2.2. Medidas dinámicas (muestreo sincronizado).

Aplicar en Vk la señal denominada TTL output del generador de señales. Esta señal es una onda cuadrada de frecuencia igual a la señal principal (senoide de 1KHz). Además, ambas señales están sincronizadas. La onda cuadrada permanece a nivel alto (sample) durante los tramos descendentes de la senoide y a nivel bajo (hold) durante los tramos ascendentes. Por lo tanto, Vo debe seguir a Vi durante los tramos descendentes y permanecer en el valor mínimo durante los ascendentes, de la forma indicada en la figura.

Una observación más detallada de la señal Vo pone de manifiesto que el muestreo (adquisición) no se produce de forma instantánea. En efecto, la transición de -2V a +2V se produce mediante una exponencial con una constante de tiempo que viene dada por:

$\tau = (Ri + Rs + RON) \cdot C = 660\ \Omega \cdot 10\ nF = 6{,}6\ \mu s.$

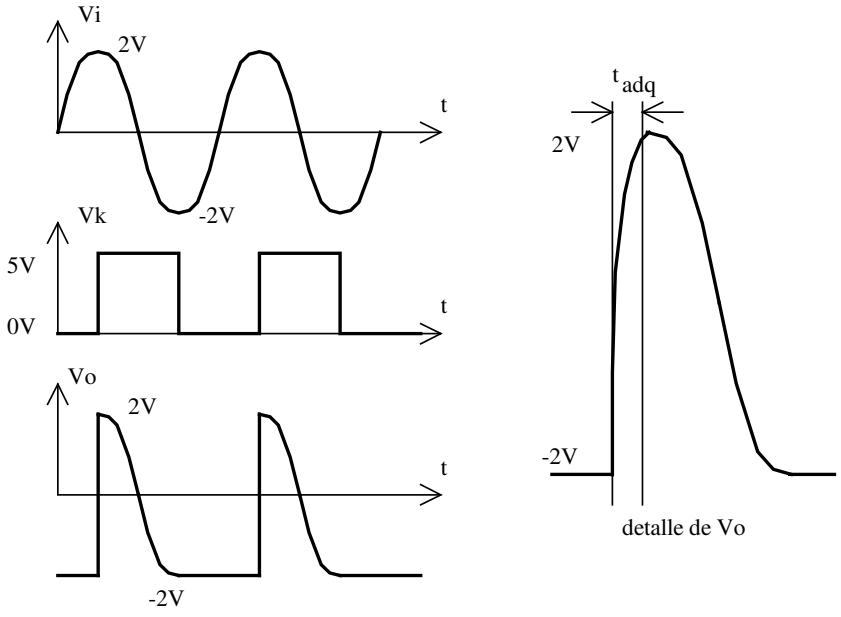
Para medir τ basta con determinar el tiempo que Vo tarda en pasar de -2V a +0,53 V, es decir, el tiempo necesario para crecer un 63% del total del salto. El valor medido experimentalmente (entre 6 y 9 µs) coincide aproximadamente con el esperado.

Siguiendo la definición de tiempo de adquisición formulada en el apartado 1, se obtiene:

$t_{adq}\ (0{,}1\%) = \tau \cdot \ln (1000) = 6{,}91\ \tau$

y en este circuito, tomando para τ el valor de 6,6 µs:

$t_{adq}\ (0{,}1\%) = 45.61\ \mu s$

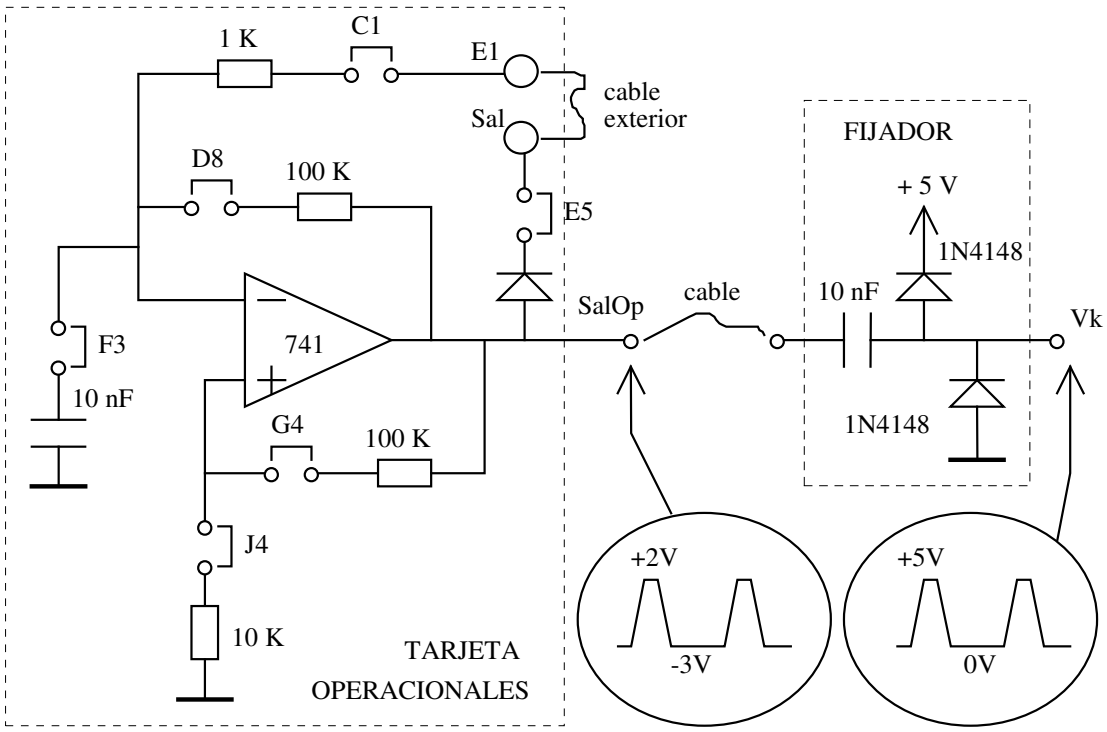


Cambiar la frecuencia de la señal Vi a 50 KHz y comprobar cómo afecta a Vo.

Al reducir el período de Vi a 20 µs, la fase de muestreo queda reducido a 10 µs, un tiempo inferior al de adquisición, y por lo tanto insuficiente para que Vo se aproxime a Vi en la medida que sería deseable.

2.3. Medidas dinámicas (muestreo asíncrono).

Para poder realizar un muestreo asíncrono, se precisa una señal Vk que no esté sincronizada con la señal Vi. Esta señal se obtiene mediante un oscilador de relajación realizado con la tarjeta "operacionales". El circuito se muestra en la figura.



La salida del oscilador (borna SalOp) se hace pasar por un fijador para desplazar los niveles de la onda cuadrada generada a 0V y +5 V aproximadamente. Se obtiene de esta forma una frecuencia de muestreo de aproximadamente 3 KHz, mientras que el tiempo de muestreo (duración del nivel alto) es de aproximadamente 30 µs, suficiente para las medidas que se pretende realizar.

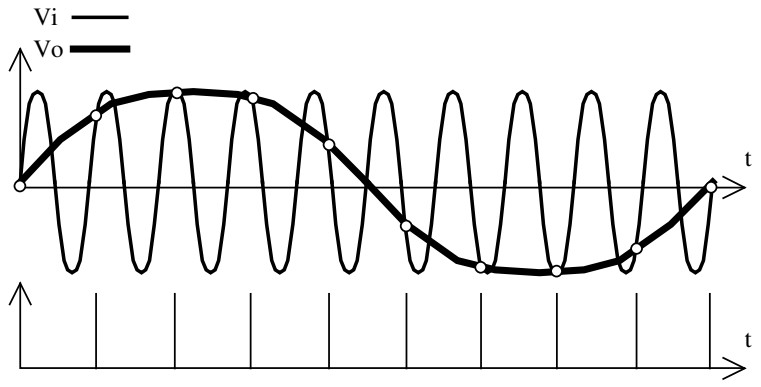
Aplicar una Vi senoidal de 4Vpp y 300 Hz. De esta forma se obtendrán aproximadamente 10 muestras por período de la senoide. Visualizar Vo. Interpretar Vo e intentar dibujarla.

En Vo aparece una forma de onda escalonada debido al efecto del muestreo. Si se hiciera pasar por un filtro paso bajo adecuado se obtendría una senoide. Aun sin el filtro, su aspecto recuerda el de una senoide. Como el muestreo es asíncrono, lo mas probable es que las muestran parezcan "desplazarse" a lo largo de la senoide. Esto se debe a que las muestras no coinciden en las mismas posiciones relativas dentro de cada período de la senoide.

2.4. Observación del efecto de aliassing.

Con el mismo montaje del apartado anterior, aumentar la frecuencia de Vi hasta un valor próximo a 3200 Hz, con lo que se obtiene algo menos de una muestra por período. Ajustar la velocidad de barrido del osciloscopio hasta que aparezcan aproximadamente 20 períodos de la señal Vi en la pantalla. Retocar la freucencia de Vi hasta que se observe una "senoide escalonada" de frecuencia aproximadamente igual a 200 Hz. Dibujar Vo. ¿Cómo es posible que Vo posea una frecuencia diferente a Vi?.

Dado que el muestreo se realiza por debajo de la frecuencia de Nyquist ($2*f_i$), el filtrado de la señal de salida produce una frecuencia falsa. La figura muestra gráficamente el fenómeno de *aliasing*.



instantes del muestreo