

Convertidor ADC de tipo Flash

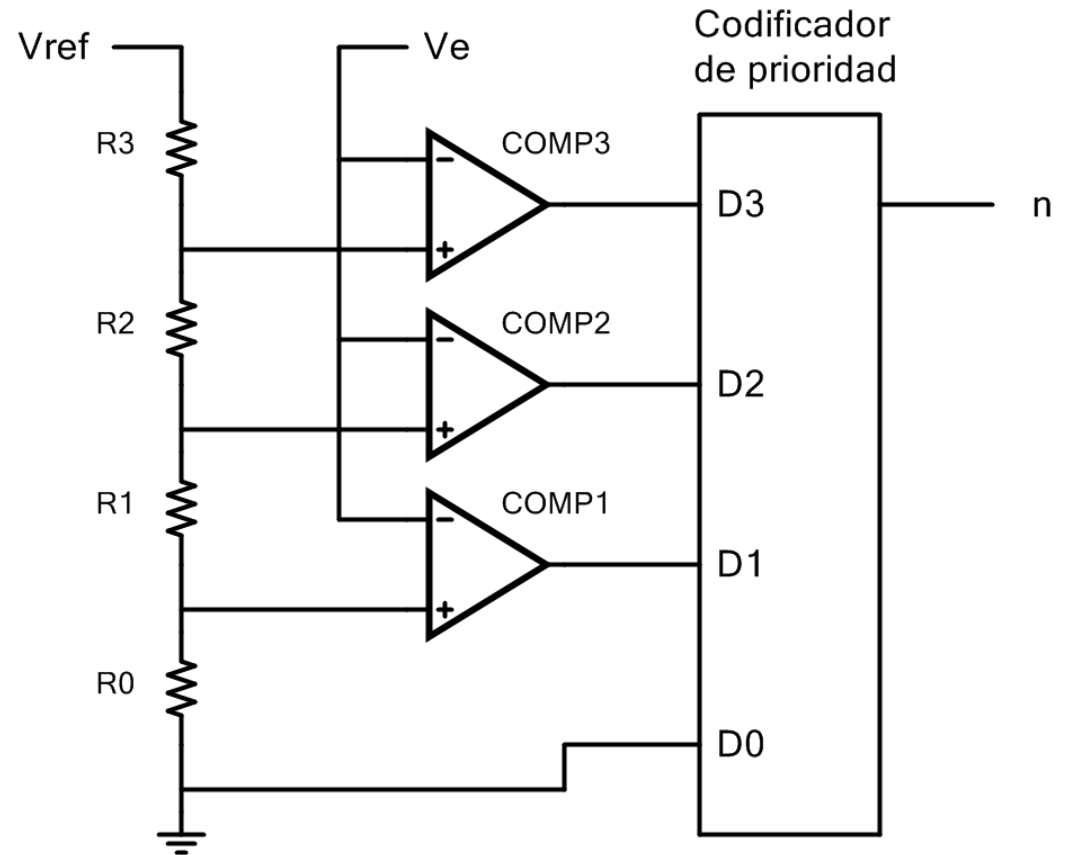
Es el ADC más rápido.

Se supone que las 4 resistencias son de igual valor. V_{ref} es constante.

V_e es la señal analógica de entrada.

N es la salida digital de 2 bits. Los valores posibles son 00 01 10 y 11

El codificador de **prioridad** envía a la salida n el número del comparador más alto en la figura con salida '0'.

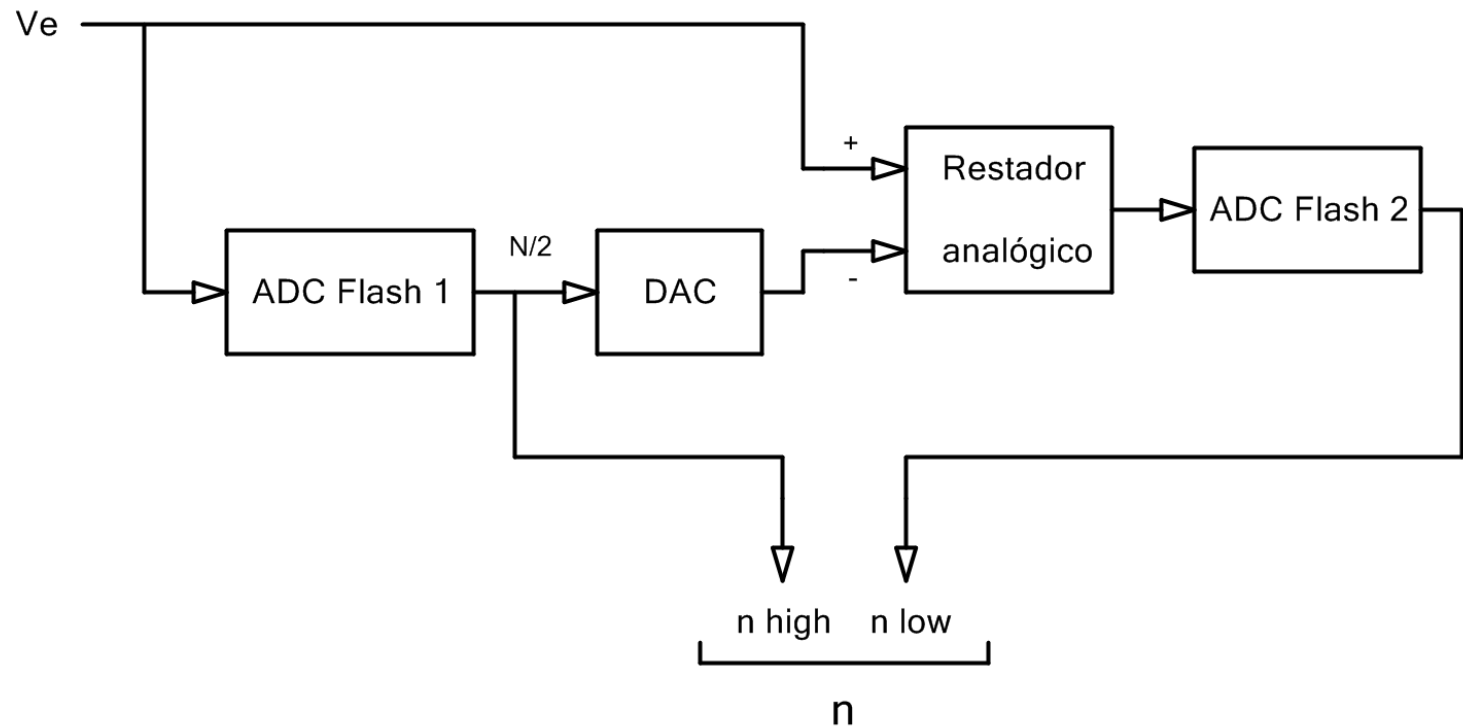


Si las salidas de todos los comparadores están a '1', $n = 0$.

Con 8 bits, se requieren 255 comparadores, 256 resistencias y un codificador con 256 entradas.

El consumo sería muy elevado. Aún así, se fabrican para 4 y 6 bits.

Convertidor ADC de tipo Semi-Flash (Subranging)



Suponemos que el ADC es de 8 bits. El ADC1 determina los 4 bits más significativos

(D7,D6,D5,D4). Además, se obtiene el valor analógico correspondiente a estos bits (V_2). El restador analógico, obtiene un valor que es la resta de V_e y V_2 . Esta resta se digitaliza usando el ADC2, que genera el valor digital correspondiente a los 4 bits menos significativos.

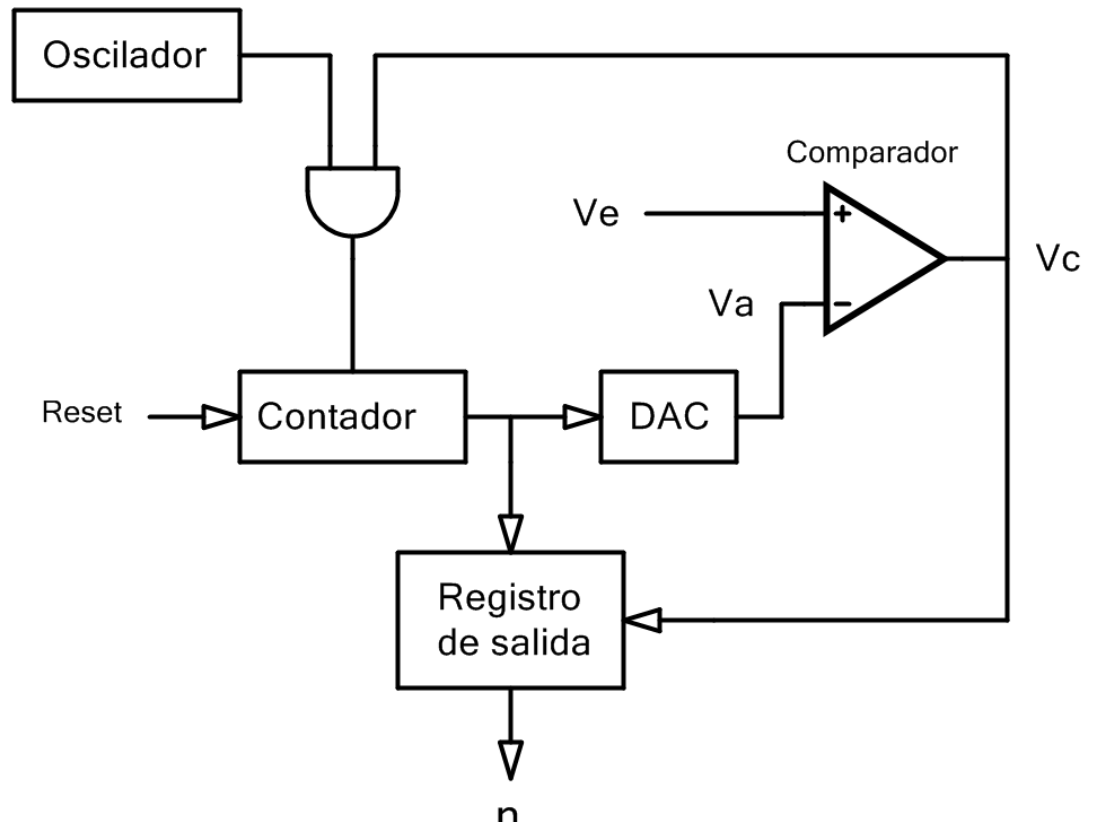
En la práctica, este ADC se suele diseñar en forma de pipeline. El cálculo de cada bloque de bits se obtiene reutilizando los mismos circuitos (subranging).

Convertidor ADC mediante escalera

Inicialmente, el contador se pone a cero mediante un impulso de reset.

El contador recibe la señal del oscilador, y avanza. El valor del contador se convierte a analógico (V_a) mediante el DAC. Cuando V_a alcanza o supera a la entrada V_e , el comparador conmuta a cero ($V_c = '0'$).

Con $V_c = '0'$, el contador se detiene debido a la puerta AND. Asimismo, el valor actual del contador se lleva al registro de salida, con el contenido 'n' que representa la salida digital.



Convertidor ADC mediante rampa analógica simple

V_e = entrada analógica

V_r = tensión de referencia

V_i = salida del integrador

V_c = salida del comparador

T = período del oscilador

f = frecuencia del oscilador

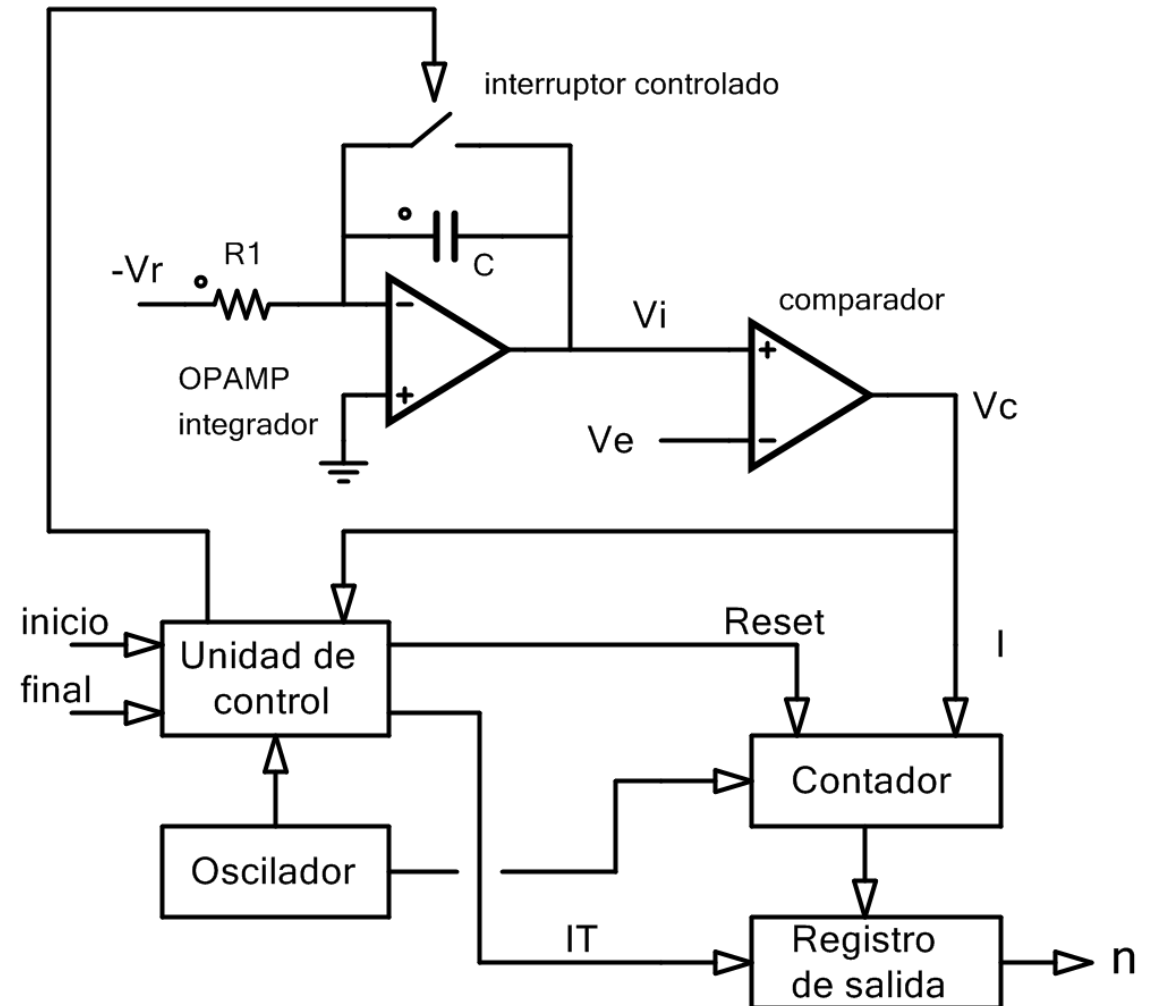
Inicialmente C está descargado por el interruptor, y V_i está a cero. Al abrirlo, V_i crece con el tiempo según la expresión:

$$V_i = (V_r \cdot t) / (R \cdot C)$$

Cuando V_i alcanza a V_e , V_c para el contador y 'n' indica:

$$n = (f \cdot R \cdot C \cdot V_e) / V_r$$

Inconvenientes: error debido a variaciones de R_1 y C .



Convertidor ADC mediante doble rampa

Fase 0.-

La conversión comienza con el condensador descargado, y SW1 conectado a V_e (+).

Fase 1.- (duración fija)

La tensión a la salida del opamp crece en sentido negativo.

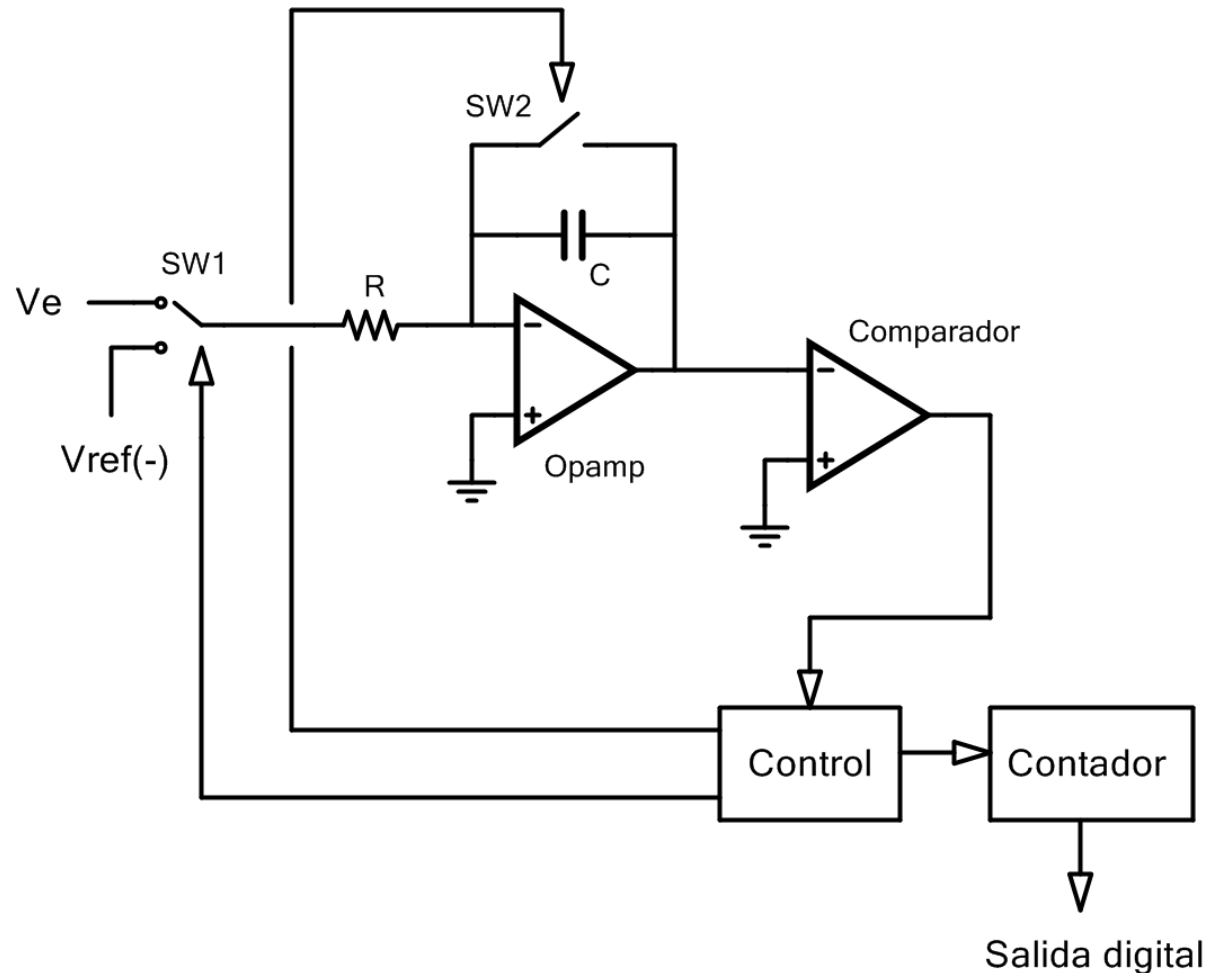
Fase 2.- (duración variable)

La tensión a la salida del opamp crece en sentido positivo ($V_{ref} < 0$).

Fase 3.- Cuando la tensión en la salida del opamp pasa por

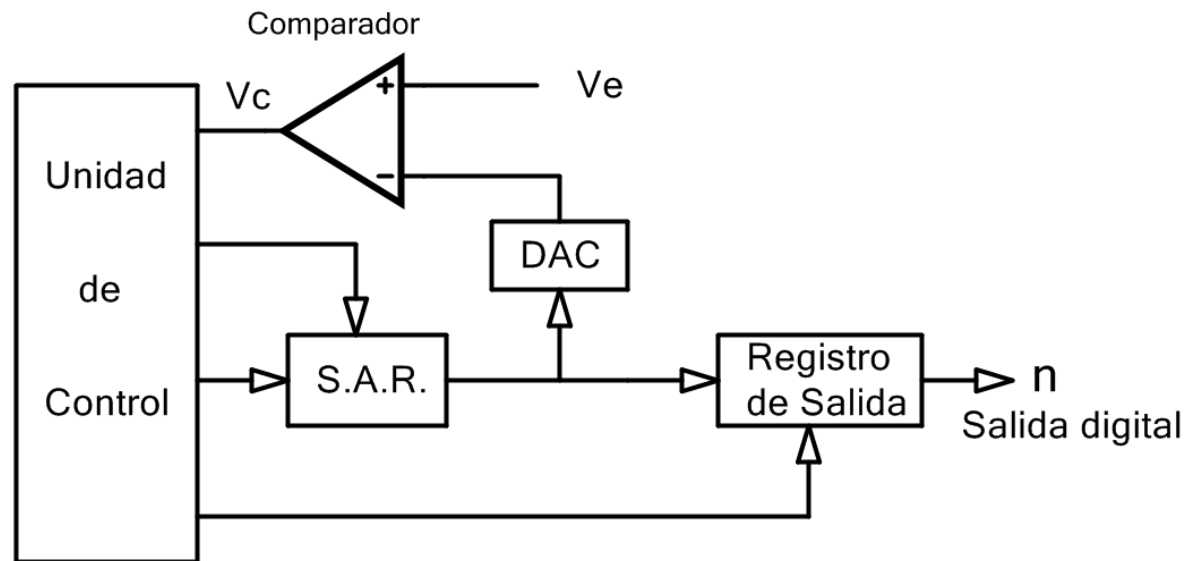
cero, el contador se detiene. El valor del contador indica la salida digital.

Ventajas: Las posibles variaciones del producto RC se compensan.



Convertidor ADC mediante aproximaciones sucesivas (I)

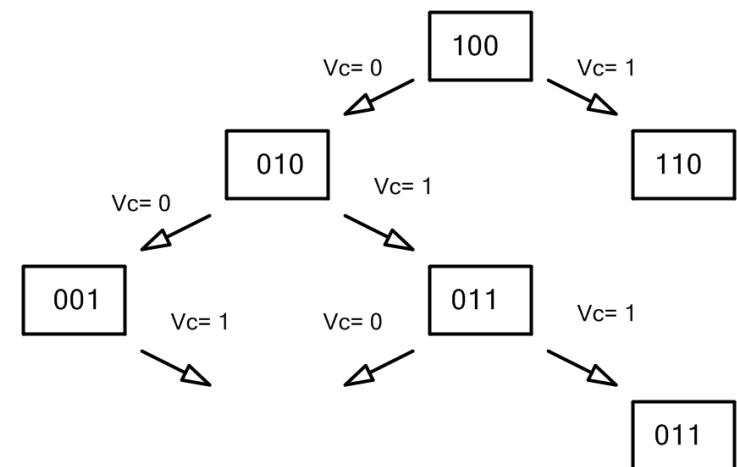
El registro de aproximaciones sucesivas (SAR) es parecido a un contador, pero avanza de forma diferente según V_c sea '0' ó '1'.



Siempre se comienza ensayando un valor digital con un '1' en el MSB y todo lo demás a '0'.

Si $V_c=0$, se cambia el '1' por un '0', y si $V_c=1$, el '1' se deja como estaba. Siempre se pone un '1' en la siguiente cifra.

Hay que dar tantos pasos como bits tiene n .



Convertidor ADC mediante aproximaciones sucesivas (II)

El SAR se puede reemplazar por un microcontrolador que incorpore el código adecuado. Llamamos 'v' al valor que se va ensayando. Llamamos 'p' al paso actual. Llamamos 'mask' a un byte que sirve de ayuda para modificar 'v'.

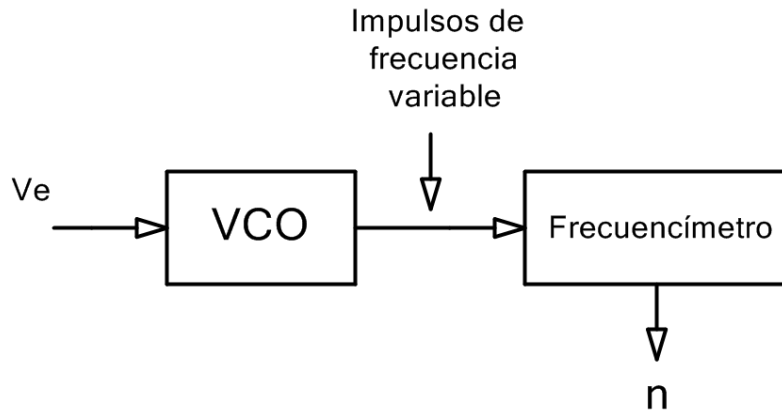
El proceso para una conversión de 8 bits es el siguiente:

```
mask= 0x7F;
v = 0x80; /* 1000 0000 */
for(p=0; p<8; p++){
    if(Vc==0) v= v & mask;
    mask= mask >> 1;
    v= v | mask;
}
/* el valor de v en este punto es el resultado buscado */

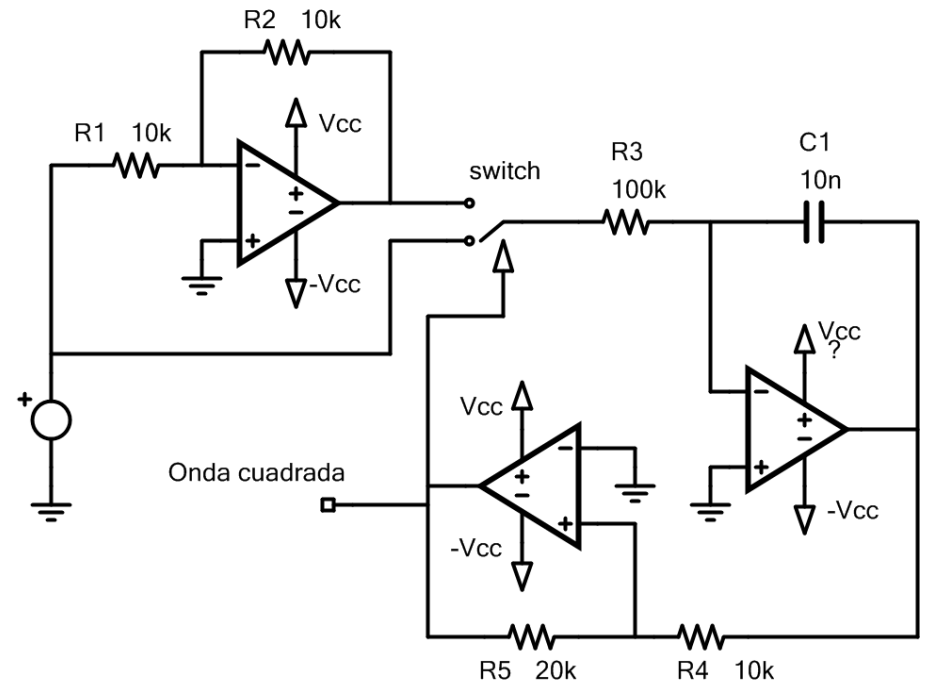
}
```

Convertidor ADC basado en un VCO

VCO = oscilador de frecuencia controlada mediante tensión



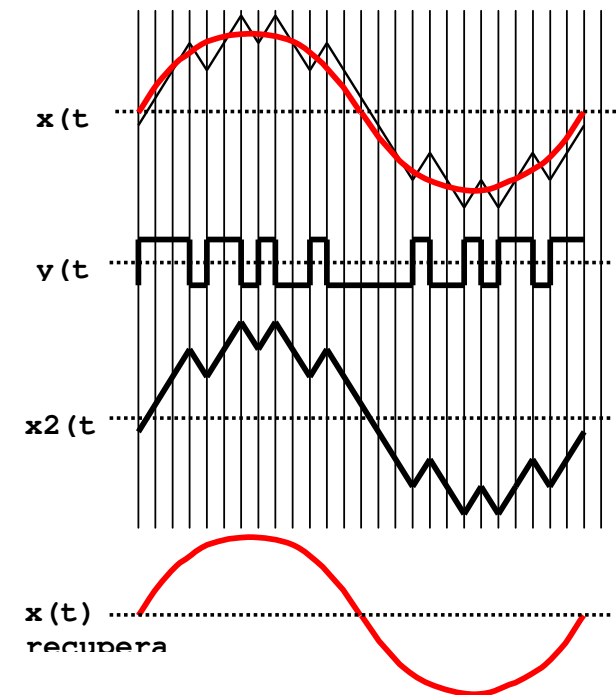
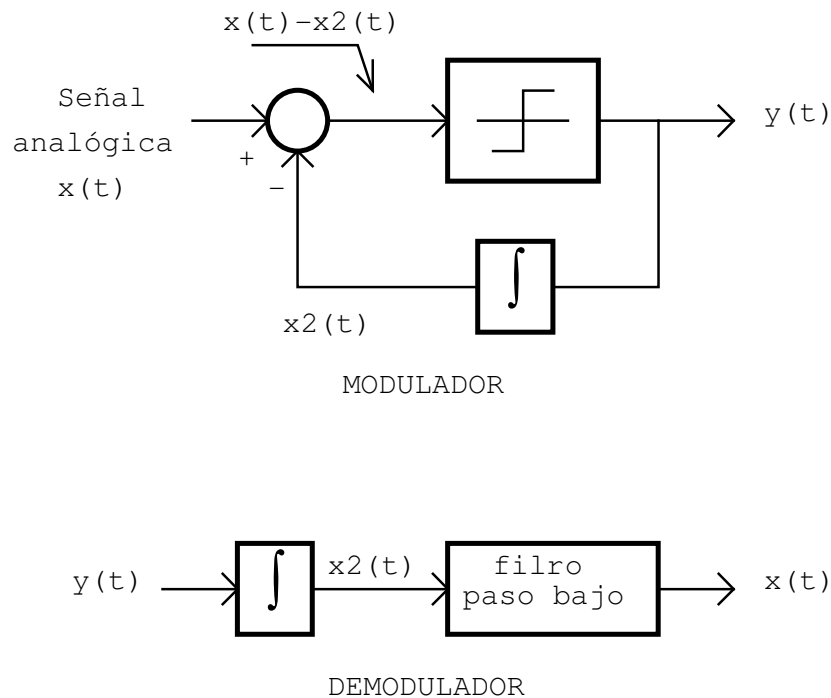
Ejemplo de VCO



Convertidor ADC Sigma-delta

Modulación delta: Las técnicas de modulación y demodulación delta se utilizan para transmisión de señales.

Para enviar la señal analógica $x(t)$, el modulador delta la convierte en la señal digital $y(t)$ en forma de bit-stream. Esta señal es la que se envía por el canal de transmisión.



En el receptor, el demodulador recupera la señal $x(t)$

Elementos del modulador delta:

El modulador delta consta de un restador, un cuantificador de 1 bit y un integrador. El conjunto formado por el restador y el cuantificador equivale a un comparador controlado por una señal de reloj.

El comparador determina si la señal de entrada es superior o inferior a la integral de la salida $y(t)$. El siguiente valor de $y(t)$ será + ó - según el resultado de la comparación. De esta forma, la integral de $y(t)$ (es decir, $x_2(t)$) se aproxima lo más posible a la señal de entrada.

El demodulador recibe la señal $y(t)$ y la convierte en una copia de $x_2(t)$ mediante un integrador. Finalmente, un filtro paso bajo elimina el ruido de cuantificación (alta frecuencia) y recupera la señal $x(t)$.

Para que la modulación funcione correctamente es preciso que la señal $x(t)$ tenga en todo momento una pendiente inferior a la máxima que se puede generar en $x_2(t)$. En caso contrario se produce un fallo en el seguimiento que $x_2(t)$ debe realizar a $x(t)$. Este efecto se denomina limitación (o sobrecarga) de pendiente (slope overload).

Modulación sigma-delta

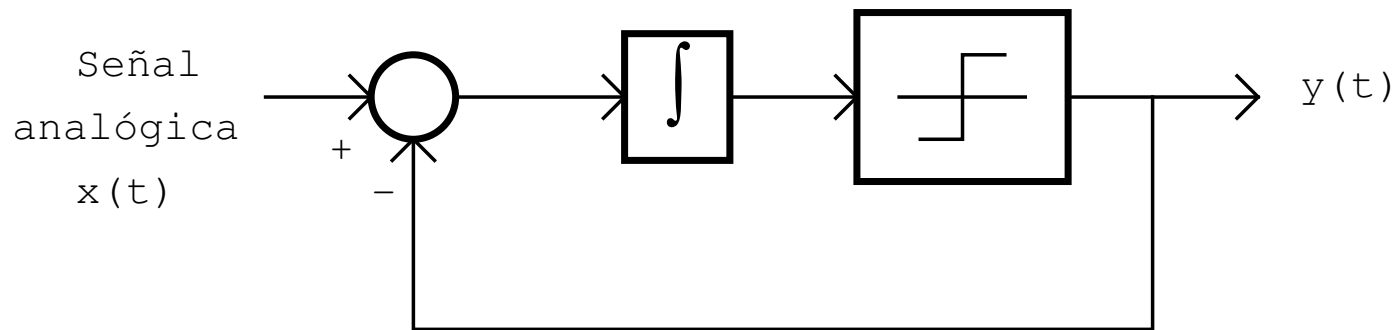
La modulación sigma-delta se deriva de la modulación delta. El objetivo es convertir la limitación de pendiente en una limitación de amplitud, característica estándar de las técnicas de modulación que indica el margen de los niveles de las señales que se pueden manejar.

Para lograrlo se hace pasar la señal $x(t)$ por un nuevo integrador antes de llevarla al restador. Por lo tanto, equivale a modular con la integral de $x(t)$. El integrador reduce las amplitudes de las componentes de frecuencias altas presentes en $x(t)$. Por lo tanto, la relación señal/ruido (de cuantificación) pasa a ser dependiente de la frecuencia (noise shaping), concentrándose la mayor parte del ruido de cuantificación a frecuencias altas.

El nuevo diagrama de bloques posee dos integradores, uno en cada entrada del restador. Debido a la linealidad de los operadores, la diferencia entre las integrales de dos señales es igual a la integral de la diferencia de las mismas. Esto permite utilizar un sólo integrador situado después del restador.

Para recuperar la señal $x(t)$ se emplea un demodulador más sencillo que en el caso de la modulación delta. Como la señal $y(t)$ se ha generado a partir de la integral de $x(t)$, ya no es necesario utilizar un integrador en el demodulador. De esta forma, el demodulador es simplemente un filtro paso bajo.

Bloques de la modulación y demodulación sigma-delta



MODULADOR



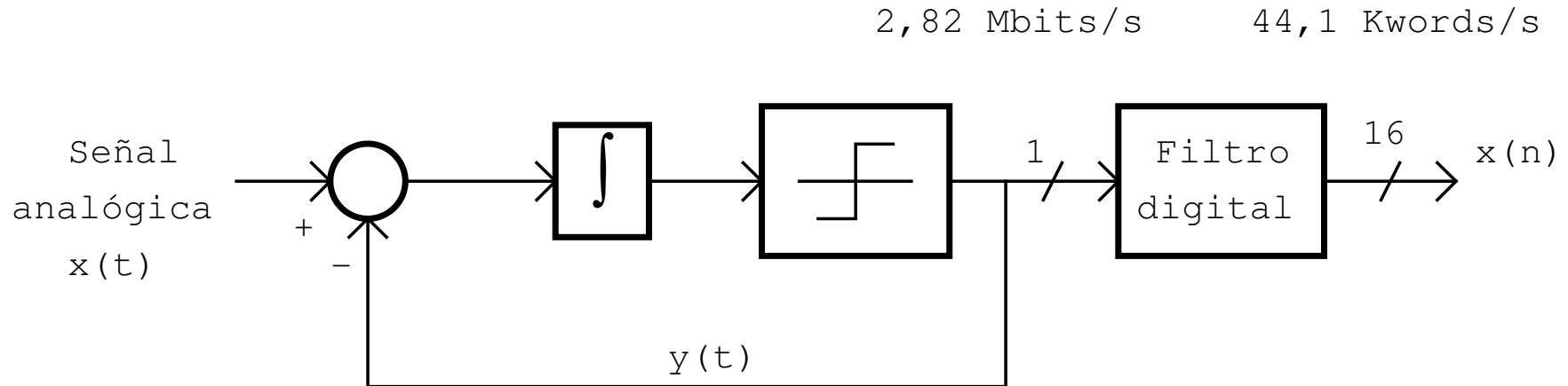
DEMULADOR

Convertidor ADC basado en la modulación sigma-delta

El principio de la modulación sigma-delta se puede aplicar a la realización de convertidores analógico digitales. La señal $y(t)$ es una secuencia de bits (bit-stream) que contiene la información necesaria para reconstruir $x(t)$. Por lo tanto, $y(t)$ es una representación digital de la señal $x(t)$ lo que confirma que el modulador sigma-delta puede ser considerado como un convertidor analógico-digital.

Sin embargo, la señal $y(t)$ incluye una importante cantidad de ruido de cuantificación, especialmente en la parte de las frecuencias altas. Para lograr que el ruido sea despreciable en el margen de frecuencias de la señal original $x(t)$, es necesario utilizar la técnica de sobremuestreo (oversampling). Con este objetivo, la señal se muestrea a una velocidad muy superior a la indicada por el criterio de Nyquist. La dificultad asociada a un muestreo rápido se ve compensada por la simplicidad que se deriva de utilizar un convertidor de 1 bit (comparador). Esta técnica es adecuada para digitalizar señales analógicas con un ancho de banda moderado. En la actualidad se utiliza sobre todo en aplicaciones de audio digital.

La figura representa el diagrama de bloques de un ADC de tipo sigma delta adecuado para muestrear una señal de audio a 44100 muestras por segundo (16 bits por muestra).



El factor de sobremuestreo empleado es 64. Por lo tanto, la secuencia de bits obtenida es de 2,8224 Mbits por segundo. Este flujo de bits se puede compactar mediante un filtro digital formando palabras de 16 bits, una para cada muestra. En el convertidor de la figura se obtiene una muestra de 16 bits en $x(n)$ por cada 64 bits presentes en $y(t)$. El filtro digital empleado recibe el nombre de filtro de diezmo o reducción (digital decimation filter).

En la práctica, es frecuente realizar el filtro de reducción en dos bloques. En primer lugar se utiliza un filtro rápido de coeficientes iguales a '1' (comb-filter) que reduce la frecuencia de muestreo a 1/16. A continuación un filtro FIR paso-bajo de coeficientes simétricos que reduce la frecuencia de muestreo a 1/4 (reducción total a 1/64).

El filtrado digital lo suele realizar un procesador digital de señal (DSP). El primer filtro (comb-filter) es rápido porque no requiere realizar operaciones de producto. El segundo (FIR) es más lento, pero esto no debería ser un problema ya que trabaja sobre un ritmo de muestras 16 veces menor. El conjunto de los dos filtros permite obtener valores digitales de 16 bits que representan a la señal $x(t)$ con una gran fidelidad (relación señal ruido del orden de 110 dB).

Referencia:

Sangil Park. "Principles of Sigma-Delta Modulation for Analog-to-Digital Converters", Motorola Digital Signal Processors. Motorola, app. note APR8/D Rev.1.

NOTA: Este documento se puede obtener a través de Internet, e incluye a su vez más de 20 referencias.

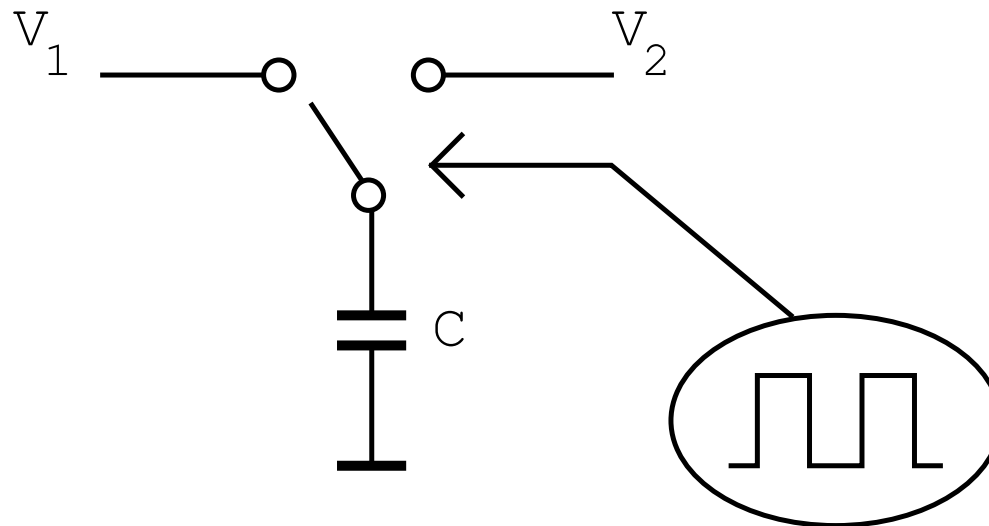
Método de conmutación de condensadores (switched capacitor)

1. Introducción

Si entre dos nodos de un circuito cuyas tensiones son V_1 y V_2 está conectada una resistencia de valor R , circulará una corriente de valor: $I = (V_1 - V_2) / R$. Si las tensiones se mantienen constantes, la corriente también lo es. Es decir, se produce una transferencia de carga entre ambos nodos a un ritmo constante.

La combinación de un condensador y dos interruptores electrónicos también permite transferir carga de un nodo a otro de un circuito. A diferencia de lo que sucedía en el caso de la resistencia, la carga se transfiere ahora en forma de impulsos de corriente.

La figura muestra un circuito básico de conmutación de condensador.



El conmutador electrónico está controlado por una onda cuadrada de frecuencia f . Se supone que por el contacto abierto no circula corriente, y que el contacto cerrado presenta una resistencia pequeña. Cuando el conmutador conecta el condensador al nodo 1, se produce un pico de corriente (I_1) que carga rápidamente el condensador a la tensión V_1 . Cuando el conmutador cambia de posición, se producirá un pico de corriente (I_2) que carga el condensador con una tensión V_2 . El proceso se repite f veces por segundo. En cada ciclo se transfiere una carga Q del nodo 1 al nodo 2.

$$Q = (V_1 - V_2) C$$

La carga total transferida en un tiempo t es:

$$Q_T = (V_1 - V_2) f t C$$

y equivale a una corriente media de valor:

$$I = Q_T / t = (V_1 - V_2) f C$$

Si se compara esta expresión con la obtenida en el caso de la resistencia conectada entre los nodos, se tiene:

$$(V_1 - V_2) f C = (V_1 - V_2) / R$$

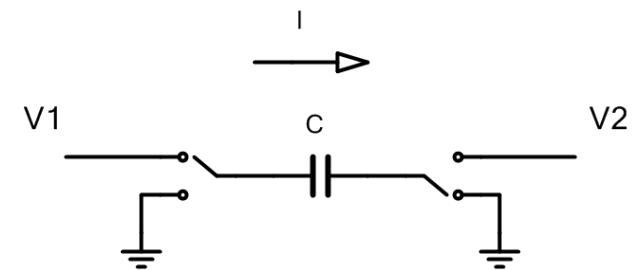
Por lo tanto, el circuito de condensador conmutado se comporta, en cuanto a la corriente media que circula entre los nodos, como una resistencia de valor R conectada entre los mismos, siendo:

$$R = 1 / (f C)$$

Es importante tener en cuenta que los circuitos no son totalmente equivalentes, ya que en el caso de la resistencia la corriente es continua, mientras que en el caso del condensador conmutado la corriente tiene la forma de impulsos.

El circuito de condensador conmutado puede ser empleado para sustituir a una resistencia en diferentes aplicaciones. En el apartado siguiente se muestra su utilización en un integrador.

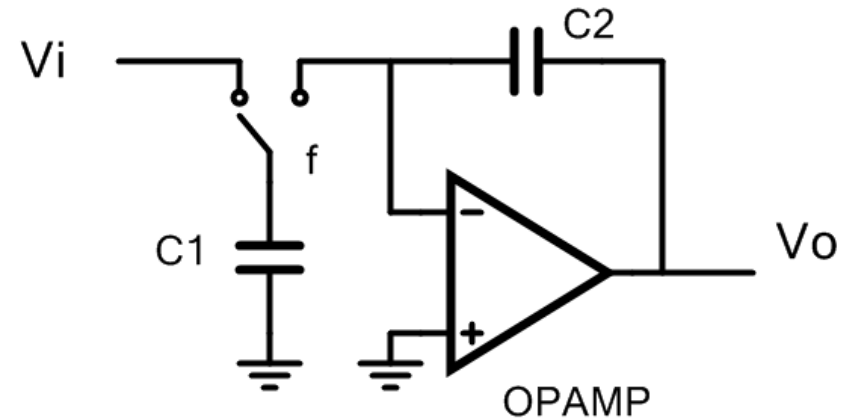
Existen otras variantes del circuito de condensador conmutado. La siguiente figura muestra un circuito que permite invertir el sentido de la corriente generada. Ambos conmutadores se gobiernan con la misma onda cuadrada, de tal forma que cuando el conmutador izquierdo se encuentra en la posición superior, el derecho se encuentra en la inferior, y viceversa.



En este caso se cumple $I = (-V1 - V2) \cdot f \cdot C$

Aplicación de la conmutación de condensadores al integrador sin resistencia.

Cuando se fabrica un circuito integrado no resulta fácil obtener condensadores con una tolerancia pequeña. Sin embargo, es mucho más asequible integrar condensadores con una determinada relación de capacidades y, en particular, condensadores de capacidad casi idéntica. La figura muestra un integrador en el que la resistencia de entrada se ha sustituido por un condensador conmutado.



Dado que el condensador conmutado se comporta como una resistencia de valor fC_1 , la función de transferencia del integrador es:

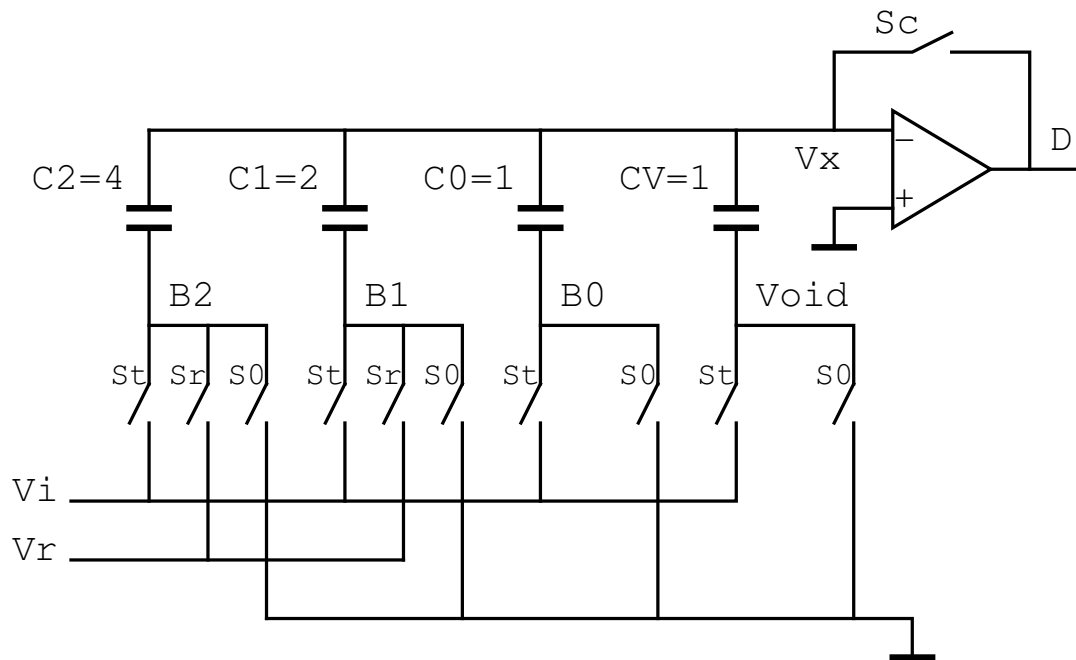
$$v_o(t) = -1/RC_2 \int v_i(t) dt = -fC_1/C_2 \int v_i(t) dt$$

Por lo tanto, para obtener un integrador preciso basta con integrar dos condensadores cuyas capacidades mantengan una relación precisa. Además, es posible adaptar la respuesta modificando la frecuencia de conmutación (f).

Referencia: P. Horowitz, The Art of Electronics, capítulo 5, apdo. 5.11.

ADC de aproximaciones sucesivas basado en conmutación de condensadores

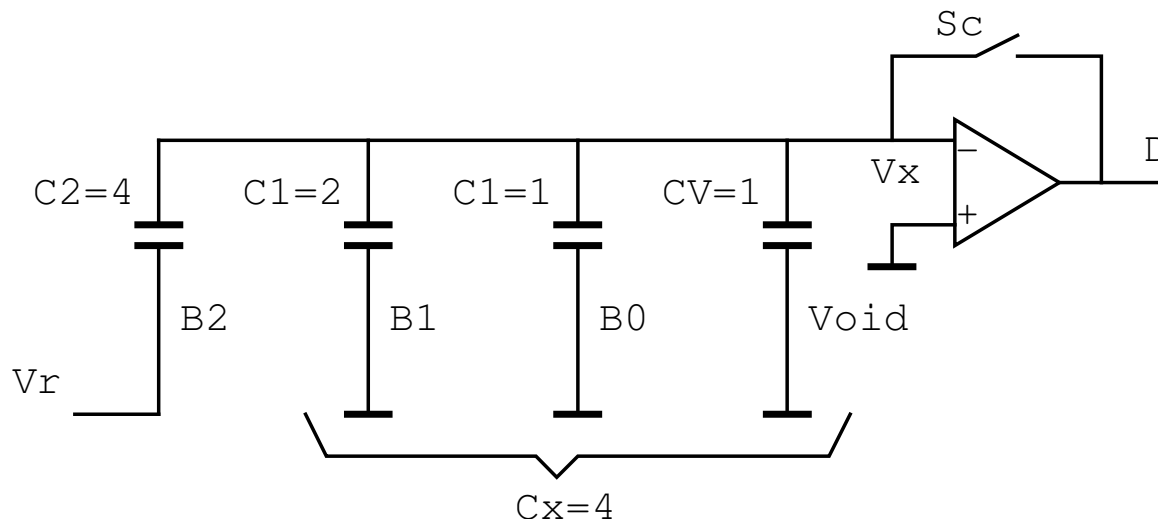
La figura muestra el modelo simplificado de la red de condensadores conmutados empleada en un convertidor de 3 bits. En un convertidor de n bits se utilizan $n+1$ condensadores. De ellos, n poseen capacidades con una ponderación binaria (C_2 , C_1 y C_0 en este ejemplo) y el último (C_V) es del mismo valor que C_0 . Todos los condensadores están unidos por el extremo superior a la entrada de un comparador analógico realizado con un operacional. V_r es una tensión de referencia.



(Cont.)

En la primera fase se cierran todos los interruptores S_t y también el S_c , con lo que todos los condensadores quedan cargados con la tensión V_i (entrada) en su armadura inferior y una tensión 0 en la superior ($V_x = 0$). Al estar cerrado S_c , el operacional actúa como seguidor con 0V en la entrada no inversora, por lo que V_x también es 0. Esta fase actúa como circuito de muestreo y retención, por lo que estos convertidores no precisan de un circuito de S&H adicional.

La segunda fase comienza con la apertura de todos los S_t y de S_c . Esta fase se compone de n pasos (3 en el ejemplo). En el primer paso se cierra el S_r del bit de mayor peso (B2) y los S_0 de los restantes bits. El circuito equivalente en este estado es:



(Cont.)

Los 3 condensadores de capacidades 2, 1 y 1 están en paralelo y equivalen a un condensador C_x de capacidad 4. Antes de la conmutación, cada condensador estaba cargado con una tensión V_i . Después de la conmutación, el conjunto formado por los 2 condensadores en serie debe tener una tensión total igual a V_r . La tensión final en el condensador conectado a masa (C_x) se puede determinar siguiendo el método descrito en el apéndice (el condensador C_2 del ADC equivale al C_y del apéndice).

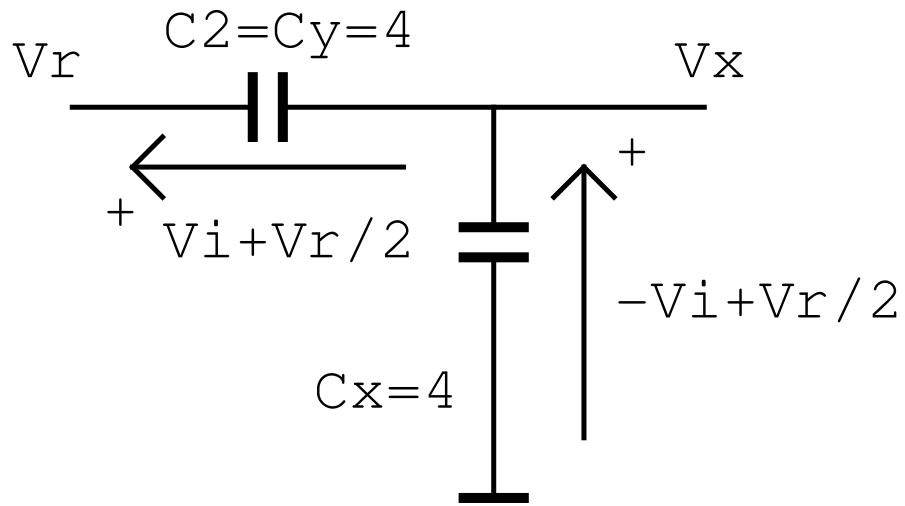
Teniendo en cuenta las polaridades de la tensión en cada condensador:

$$V_{ix} = -V_i, \quad V_{iy} = V_i$$

$$C_T = (C_x * C_y) / (C_x + C_y) = C_x / 2 = 2$$

$$V = V_r - V_{ix} - V_{iy} = V_r$$

$$V_x = V_{fx} = V_{ix} + V_{CT} / C_x = -V_i + V_r / 2$$

(Cont.)

La tensión en V_x es ahora igual a $-V_i + V_r/2$. La salida D del comparador tiene un valor digital '1' si V_x es menor de 0, y '0' en caso contrario. Por lo tanto:

$$D = 1 \rightarrow V_i > V_r/2$$

$$D = 0 \rightarrow V_i < V_r/2$$

El valor digital D se carga en un registro de desplazamiento y corresponde al bit más significativo del resultado de la conversión (D2).

(Cont.)

El segundo paso depende del resultado del primero. Si $D2=1$, el interruptor Sr de $B2$ se deja cerrado. Si $D2=0$, Sr se abre y se cierra $S0$. En todo caso, se cierra el interruptor Sr de $B1$. Se puede demostrar que después del segundo paso se tiene una tensión en Vx de valor:

$$\begin{aligned} \text{Si } D2= 1, Vx &= -Vi + 3/4 Vr \\ \text{Si } D2= 0, Vx &= -Vi + 1/4 Vr \end{aligned}$$

De esta forma, la nueva comparación se establece entre Vi y $3/4$ ó $1/4$ de Vr . Esta es la forma normal de operar para un ADC de aproximaciones sucesivas: Partir a la mitad en cada nuevo paso el intervalo en el que se sabe con certeza que se encuentra Vi . El valor de $D1$ se guarda en el registro de desplazamiento.

Finalmente, el proceso se repite para obtener el valor de $D0$. El resultado de la conversión es el valor $D2 D1 D0$ que está disponible en el registro. Es habitual que el registro de desplazamiento sea del tipo entrada serie / salida serie (sin salida paralelo) lo que obliga a leer el resultado de la conversión en serie.

(Cont.)

El interruptor Sr de cada bit se utiliza solamente para determinar los siguientes bits. Como el B0 es el último bit, no precisa interruptor Sr. El último condensador (CV) es necesario para realizar la última comparación, pero tampoco precisa Sr.

Referencia: Texas Instruments 1993 Linear Design Seminar Data Book, pp 2.73 a 2.88. Convertidor TLC1543.

Comparativa de los convertidores ADC según velocidad y resolución

